

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9A150RB シリーズは、低消費電力と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、各種タイマ、A/D コンバータ、各種通信インタフェース (UART, CSIO, I²C) などにより構成されます。『FM3 ファミリーペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE8 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

- プロセッサ版数: r2p1
- 最大動作周波数: 40 MHz
- ネスト型バクタ割り込みコントローラ (NVIC) : 1 チャンネルの NMI (ノンマスカブル割り込み) と 48 チャンネルの周辺割り込みに対応。16 の割り込み優先度レベルを設定できます。
- 24 ビットシステムタイマ (Sys Tick) : OS タスク管理用のシステムタイマです。

オンチップメモリ

[フラッシュメモリ]

- デュアルオペレーションフラッシュメモリ
デュアルオペレーションフラッシュメモリは、上位バンクと下位バンクで構成されており、書込み/消去動作と読出し動作を同時に実行します。
- メイン領域: 最大 512K バイト (最大 496K バイト上位バンク + 16K バイト下位バンク)
- ワーク領域: 32K バイト (下位バンク)
- リードサイクル: 0 ウェイトサイクル
- コード保護用セキュリティ機能

[SRAM]

本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されています。SRAM0 は、Cortex-M3 コアの I-Code バス、D-Code バスに接続されます。SRAM1 は、Cortex-M3 コアの System バスに接続されます。

- SRAM0: 最大 32K バイト
- SRAM1: 最大 32K バイト

外部バスインタフェース

- SRAM, NOR と NAND フラッシュメモリデバイスに対応
- 最大 8 チップセレクト
- 8/16 ビットデータ幅
- 最大 25 ビットのアドレスビット
- 最大アクセスサイズ: 256M バイト
- アドレス/データマルチプレクスをサポート
- 外部 RDY 機能をサポート

マルチファンクションシリアルインタフェース (最大 16 チャンネル)

- 16 段 × 9 ビット FIFO あり 16 チャンネル
- チャンネルごとに動作モードを次の中から選択できます。
 - UART
 - CSIO
 - I²C

[UART]

- 全二重ダブルバッファ
- パリティあり/なし選択可能
- 専用ボーレートジェネレータ内蔵
- 外部クロックをシリアルクロックとして使用可能
- ハードウェアフロー・コントロール : CTS/RTS による送受信自動制御 (ch.4 のみ)
- 豊富なエラー検出機能 (パリティエラー, フレーミングエラー, オーバランエラー)

[CSIO]

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能

[I²C]

Standard-mode (最大 100 kbps) / Fast-mode (最大 400 kbps) に対応

DMA コントローラ (8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

- 8 つを独自に構成かつ動作可能なチャンネル
- ソフトウェア要求または内蔵周辺機能要求による転送開始可能
- 転送アドレス空間: 32 ビット (4G バイト)
- 転送モード: ブロック転送/ バースト転送/ デマンド転送
- 転送データタイプ: バイト/ ハーフワード/ ワード
- 転送ブロック数: 1 ~ 16
- 転送回数: 1 ~ 65536

AD コンバータ(最大 24 チャンネル)

[12 ビット A/D コンバータ]

- 逐次比較型
- 2 ユニット搭載
- 変換時間: 2.0 μ s @ 2.7 V ~ 3.6 V
- 優先変換可能(2 レベルの優先度)
- スキャン変換モード
- 変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

ベースタイマ(最大 16 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

- 端子ごとにプルアップ制御可能
- 端子レベルを直接読出し可能
- ポートリロケート機能
- 最大 103 本の高速汎用 I/O ポート @120 pin Package
- 一部のポートは、5V トレラントに対応
該当する端子については「4.端子機能一覧」と「5.入出力回路形式」を参照してください。

デュアルタイマ(32/16 ビットダウンカウンタ)

デュアルタイマは、2つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャンネルの動作モードを次の中から選択できます。

- フリーランモード
- 周期モード(=リロードモード)
- ワンショットモード

多機能タイマ

多機能タイマは、次のブロックで構成されます。

- 16 ビットフリーランタイマ×3 チャンネル
- インพุットキャプチャ×4 チャンネル
- アウトプットコンペア×6 チャンネル
- A/D 起動コンペア×2 チャンネル
- 波形ジェネレータ×3 チャンネル
- 16 ビット PPG タイマ×3 チャンネル

モータ制御を実現するために次の機能を用意しています。

- PWM 信号出力機能
- DC チョップパ波形出力機能
- デッドタイム機能
- インพุットキャプチャ機能
- A/D コンバータ起動機能
- DTIF (モータ緊急停止)割込み機能

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter)

クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

- 3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能
- 16 ビット位置カウンタ
- 16 ビット回転カウンタ
- 2 つの 16 ビットコンペアレジスタ

HDMI-CEC/リモコン受信(最大 2 チャンネル)

- HDMI-CEC 送信
 - シグナルフリーを判定してヘッダーブロックの自動送信
 - アービトレーションロストを検出してステータス割込みを発生
 - 1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力
 - 1 ブロック(1 バイトのデータと EOM, ACK)を送信したときに送信ステータス割込みを発生
- HDMI-CEC 受信
 - 自動 ACK 応答機能
 - ラインエラー検出機能
- リモコン受信
 - 4 バイトの受信バッファ
 - リピートコード検出機能

リアルタイムクロック(RTC : Real Time Clock)

00 年 ~ 99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

- 日時指定(年/月/日/時/分)での割込み機能, 年/月/日/時/分だけの個別設定も可能
- 設定時間後/設定時間ごとのタイマ割込み機能
- カウントを継続して時刻書換え可能
- うるう年の自動カウント

時計カウンタ

時計カウンタはスリープ、タイマモードからのウェイクアップに使用します。

インターバルタイマ: 最大 64 s @ サブクロック使用時 (32.768 kHz)

外部割込み制御ユニット

- 外部割込み入力端子: 最大 24 本
- ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャンネル)

ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモード以外のすべての低消費電力モードで動作します。

CRC (Cyclic Redundancy Check)アクセラレータ

CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

- CCITT CRC16 Generator Polynomial: 0x1021
- IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

[クロック]

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- メインクロック: 4 MHz ~ 48 MHz
- サブクロック: 32.768 kHz
- 内蔵高速 CR クロック: 4 MHz
- 内蔵低速 CR クロック: 100 kHz
- メイン PLL クロック

[リセット]

- INITX 端子からのリセット要求
- 電源投入リセット
- ソフトウェアリセット
- ウォッチドッグタイマリセット
- 低電圧検出リセット
- クロックスーパバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

- 外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。
- 外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC 端子の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

- LVD1: 割込みによりエラーを報告
- LVD2: オートリセット動作

低消費電力モード

6 種類の低消費電力モードに対応します。

- スリープ
- タイマ
- RTC
- ストップ
- ディープスタンバイ RTC(RAM 保持あり・なし選択可能)
- ディープスタンバイストップ(RAM 保持あり・なし選択可能)

デバッグ

- シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)
- エンベデッド・トレース・マクロセル(ETM)*
*: MB9AF154MB, F155MB, F156MB は SWJ-DP のみ対応

ユニーク ID

41 ビットのデバイス固有の値を設定済み

電源

ワイドレンジ電圧対応: VCC = 1.65 V ~ 3.6 V

Contents

特長	1
1. 品種構成	6
2. パッケージと品種対応	8
3. 端子配列図	9
4. 端子機能一覧	14
5. 入出力回路形式	53
6. 取扱上のご注意	58
6.1 設計上の注意事項	58
6.2 パッケージ実装上の注意事項	59
6.3 使用環境に関する注意事項	60
7. デバイス使用上の注意	61
8. ブロックダイヤグラム	63
9. メモリサイズ	64
10. メモリマップ	65
11. 各 CPU ステートにおける端子状態	68
12. 電気的特性	75
12.1 絶対最大定格	75
12.2 推奨動作条件	76
12.3 直流規格	77
12.3.1 電流規格	77
12.3.2 端子特性	80
12.4 交流規格	81
12.4.1 メインクロック入力規格	81
12.4.2 サブクロック入力規格	82
12.4.3 内蔵 CR 発振規格	82
12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを選択した場合)	83
12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR を選択した場合)	83
12.4.6 リセット入力規格	84
12.4.7 パワーオンリセットタイミング	84
12.4.8 外バスタイミング	85
12.4.9 ベースタイマ入力タイミング	94
12.4.10 CSIO/UART タイミング	95
12.4.11 外部入力タイミング	103
12.4.12 クアッドカウンタ タイミング	104
12.4.13 I ² C タイミング	106
12.4.14 ETM タイミング	107
12.4.15 JTAG タイミング	108
12.5 12 ビット A/D コンバータ	109
12.6 低電圧検出特性	112
12.6.1 低電圧検出リセット	112
12.6.2 低電圧検出割込み	113
12.7 フラッシュメモリ書込み/消去特性	114
12.7.1 書込み/消去時間	114
12.7.2 書込みサイクルとデータ保持時間	114
12.8 スタンバイ復帰時間	115
12.8.1 復帰要因: 割込み/WKUP	115
12.8.2 復帰要因: リセット	117
13. オーダ型格	119

14. パッケージ・外形寸法図	120
15. エラッタ	125
15.1 影響を受ける型格	125
15.2 認定の状況	125
15.3 エラッタのまとめ	125
16. 主な変更内容	127
改訂履歴	130
セールス, ソリューションおよび法律情報	131

1. 品種構成

メモリサイズ

品種名		MB9AF154MB/NB/RB	MB9AF155MB/NB/RB	MB9AF156MB/NB/RB
オンチップ フラッシュ メモリ	メイン領域	256 K バイト	384 K バイト	512 K バイト
	ワーク領域	32 K バイト	32 K バイト	32 K バイト
オンチップ SRAM	SRAM0	16 K バイト	24 K バイト	32 K バイト
	SRAM1	16 K バイト	24 K バイト	32 K バイト
	計	32 K バイト	48 K バイト	64 K バイト

ファンクション

品 種 名			MB9AF154MB MB9AF155MB MB9AF156MB	MB9AF154NB MB9AF155NB MB9AF156NB	MB9AF154RB MB9AF155RB MB9AF156RB
端子数			80/96	100/112	120
CPU			Cortex-M3		
周波数			40 MHz		
電源電圧範囲			1.65 V ~ 3.6 V		
DMAC			8ch.		
外部バスインタフェース			Addr: 21 ビット(最大) R/Wdata: 8 ビット(最大) CS:4 (最大) SRAM, NOR フラッシュメモリ	Addr: 25 ビット(最大) R/Wdata: 8/16 ビット(最大) CS:8 (最大) SRAM, NOR フラッシュメモリ	Addr: 25 ビット(最大) R/Wdata: 8/16 ビット(最大) CS:8 (最大) SRAM, NOR フラッシュメモリ, NAND フラッシュメモリ
マルチファンクション シリアル (UART/CSIO/I ² C)			FIFO あり 10ch. (最大) 使用可能チャネル： ch.0~ch.7,ch10,ch11	FIFO あり 14ch. (最大) 使用可能チャネル： ch.0~ch.13	FIFO あり 16ch. (最大) 使用可能チャネル： ch.0~ch.15
ベースタイマ (PWC/リロードタイマ/ PWM/PPG)			16ch. (最大)		
多機能 タイマ	A/D 起動 コンペア	2ch.	1 unit (最大)		
	インプット キャプチャ	4ch.			
	フリーラン タイマ	3ch.			
	アウトプット コンペア	6ch.			
	波形 ジェネレータ	3ch.			
	PPG	3ch.			
クアッドカウンタ			2ch. (最大)		
デュアルタイマ			1 unit		
HDMI-CEC/リモコン受信			2ch. (最大)		
リアルタイムクロック			1 unit		
時計カウンタ			1 unit		
CRC アクセラレータ			Yes		
ウォッチドッグタイマ			1ch. (SW) + 1ch. (HW)		
外部割込み			23 pin (最大) + NMI × 1	24 pin (最大) + NMI × 1	
汎用 I/O ポート			66 pin (最大)	83 pin (最大)	103 pin (最大)
12 ビット A/D コンバータ			17ch. (2 unit)	24ch. (2 unit)	
クロック異常検出機能(CSV)			Yes		
低電圧検出機能(LVD)			2ch.		
内蔵 CR	高速		4 MHz		
	低速		100 kHz		
デバッグ機能			SWJ-DP	SWJ-DP/ETM	
ユニーク ID			Yes		

<注意事項>

- 各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子割当てを行う必要があります。
 内蔵CR のクロック周波数精度については、『12. 電氣的特性 12.4. 交流規格 12.4.3. 内蔵CR 発振規格』を参照してください。

2. パッケージと品種対応

パッケージ \ 品種名	MB9AF154MB MB9AF155MB MB9AF156MB	MB9AF154NB MB9AF155NB MB9AF156NB	MB9AF154RB MB9AF155RB MB9AF156RB
LQFP: LQH080 (0.5 mm pitch)	○	-	-
BGA: FDG096 (0.5 mm pitch)	○	-	-
LQFP: LQI100 (0.5 mm pitch)	-	○	-
BGA: LBC112 (0.8 mm pitch)	-	○	-
LQFP: LQM120 (0.5 mm pitch)	-	-	○

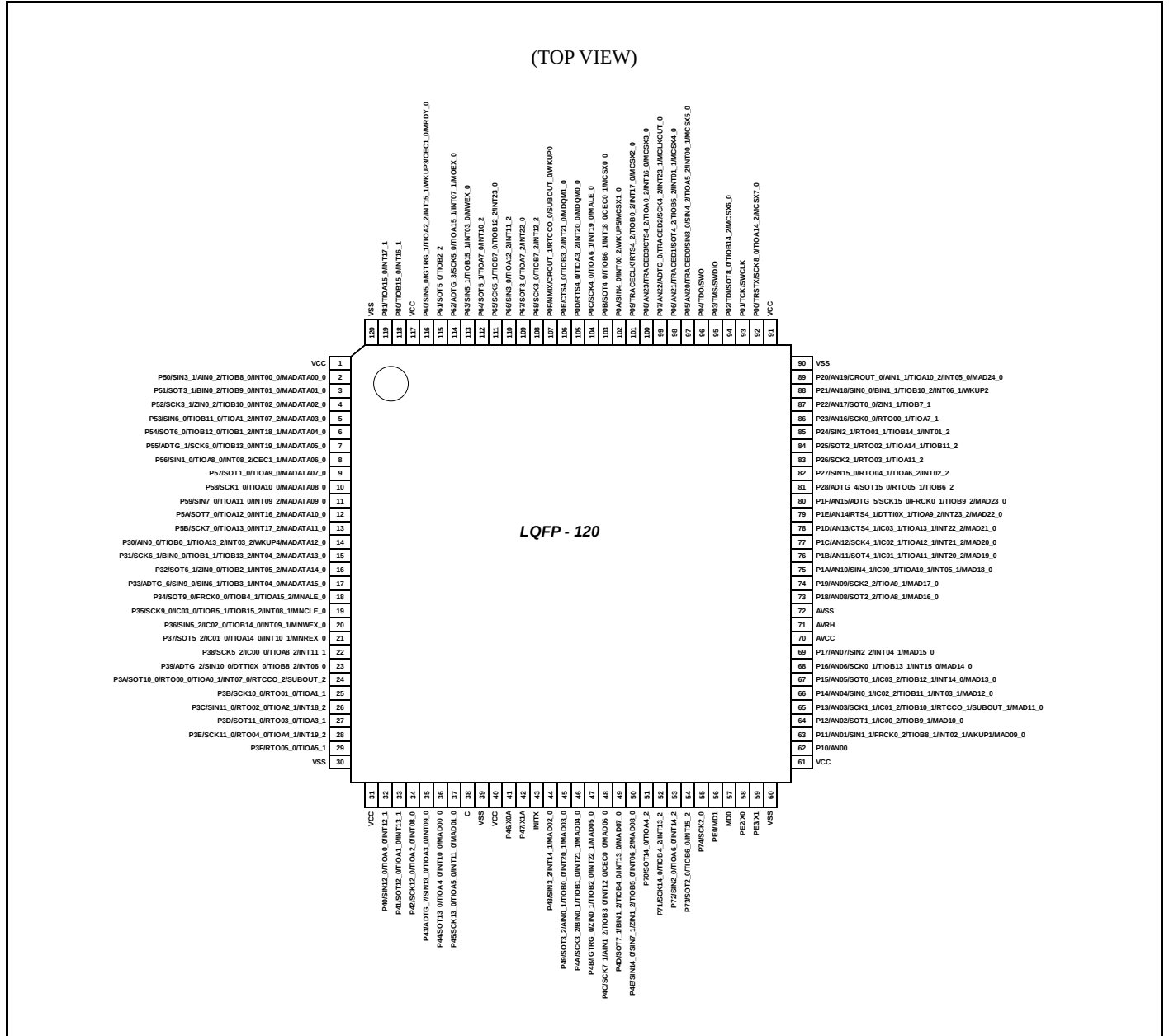
○: 対応

<注意事項>

- 各パッケージの詳細は「14. パッケージ・外形寸法図」を参照してください。

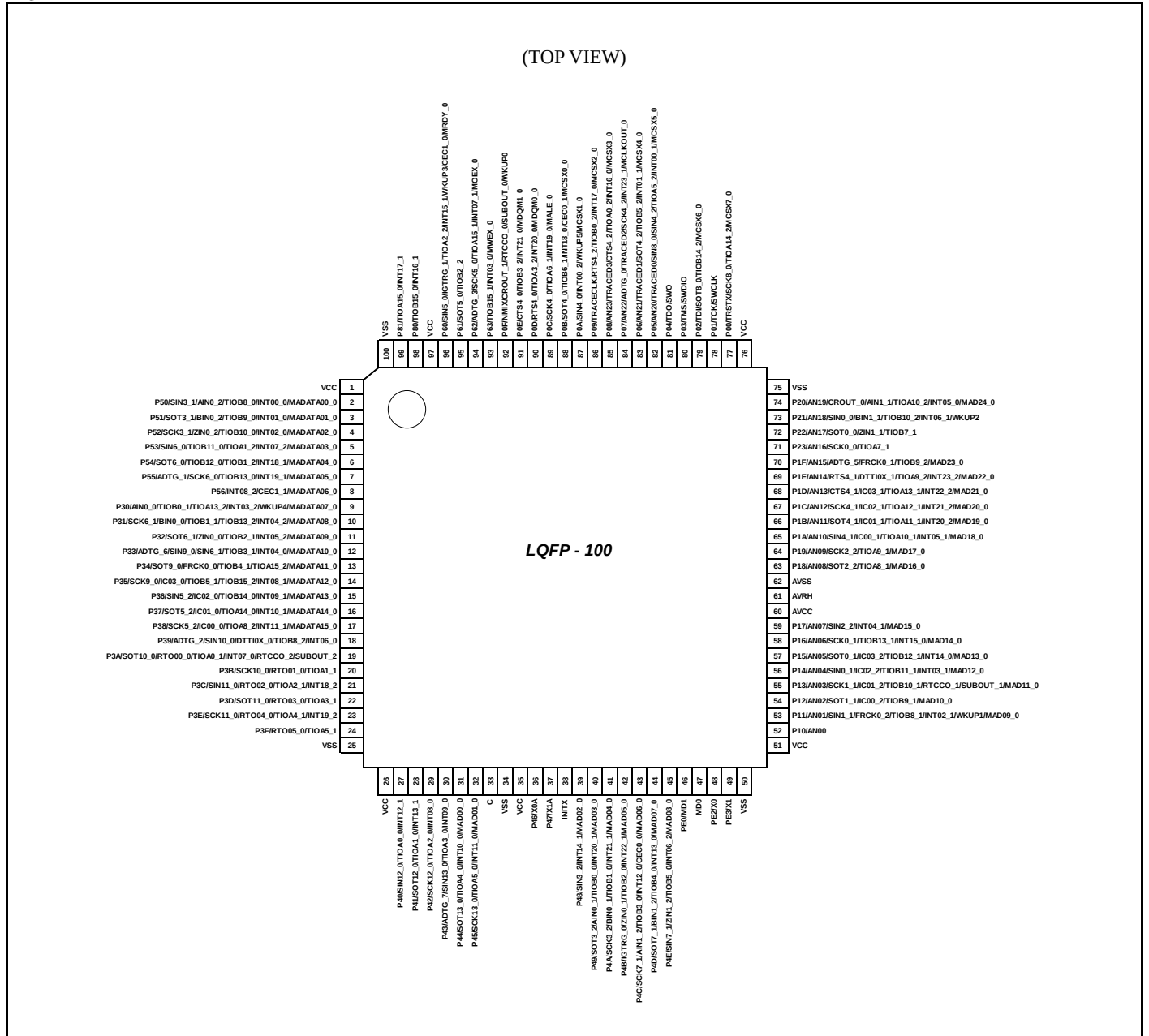
3. 端子配列図

LQM120

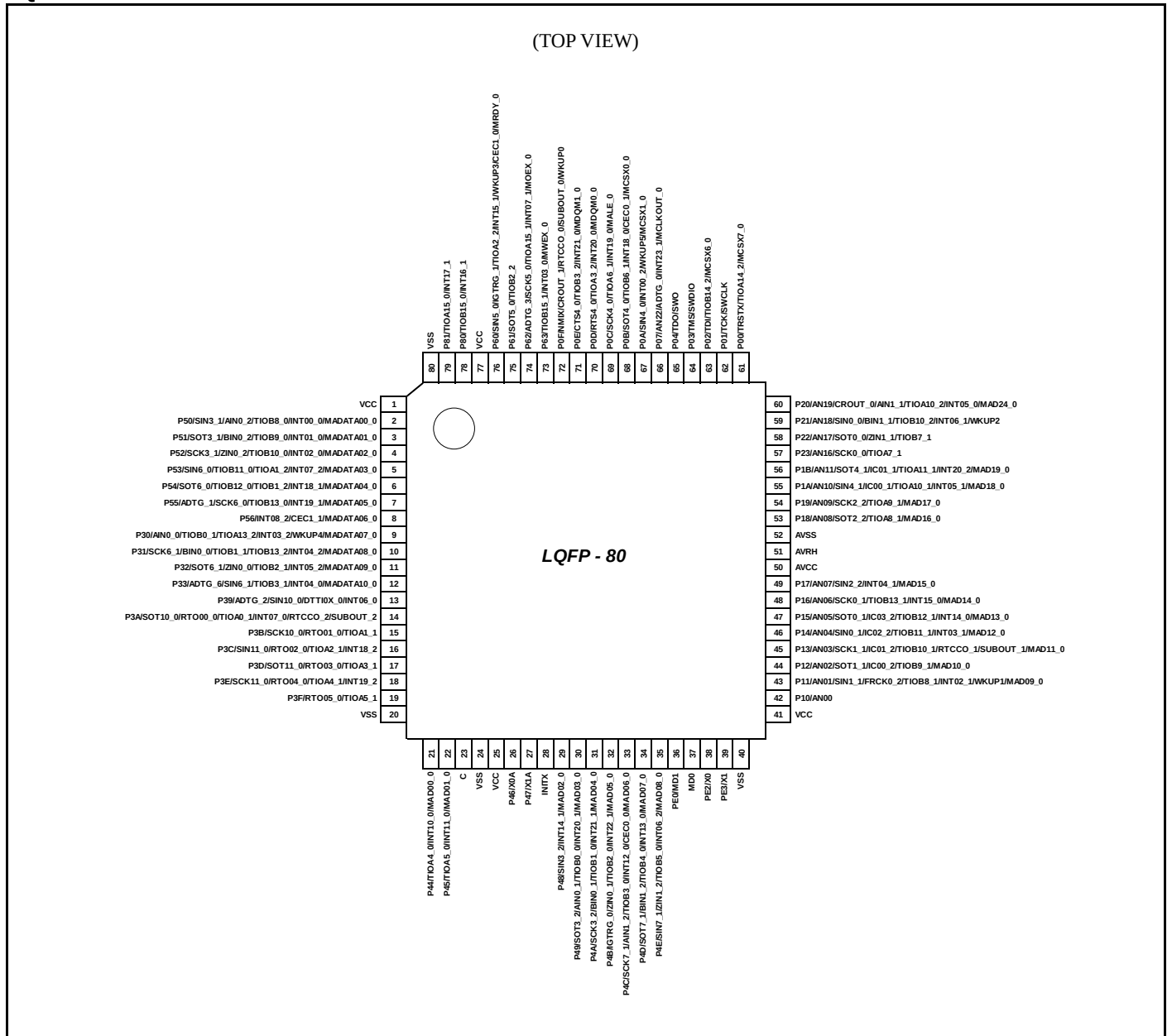


<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
- これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
- 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

LQI100

<注意事項>

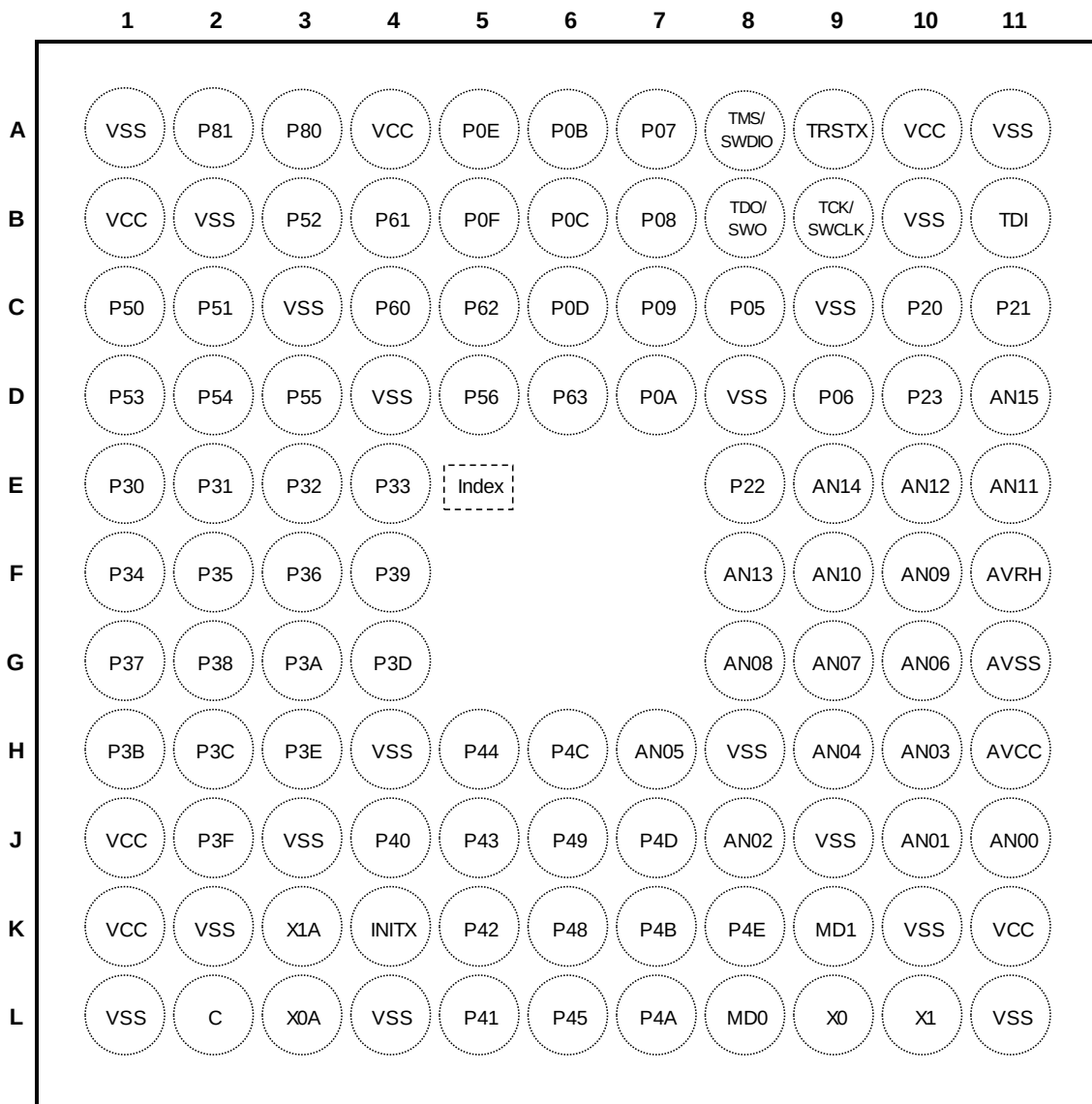
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
 これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

LQH080

<注意事項>

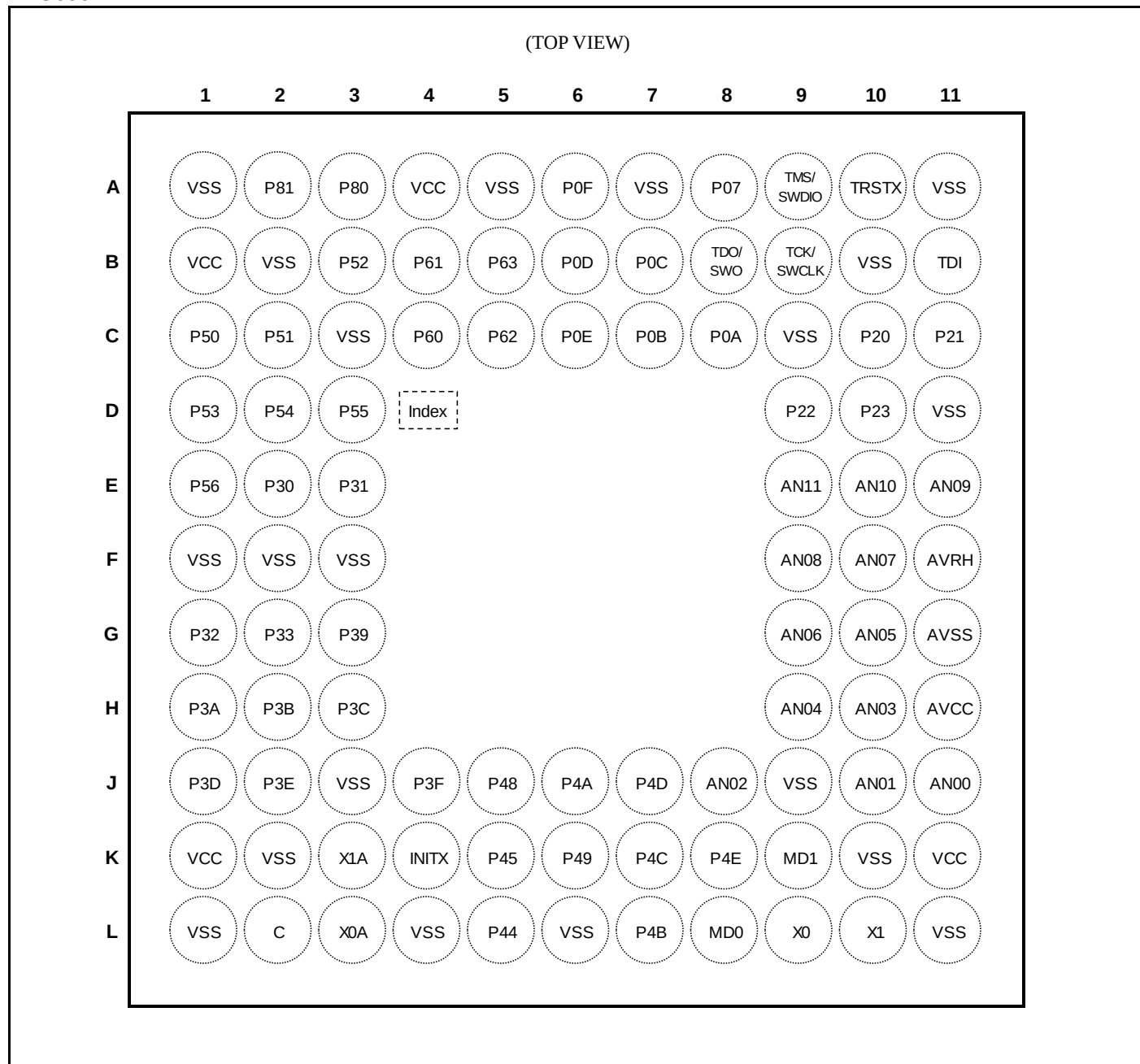
- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

LBC112

(TOP VIEW)


<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
 これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

FDG096

<注意事項>

- XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。
 これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。
 拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は1つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
1	1	B1	1	B1	VCC	-	
2	2	C1	2	C1	P50	E	K
					SIN3_1		
					AIN0_2		
					TIOB8_0		
					INT00_0		
					MADATA00_0		
3	3	C2	3	C2	P51	E	K
					SOT3_1 (SDA3_1)		
					BIN0_2		
					TIOB9_0		
					INT01_0		
					MADATA01_0		
4	4	B3	4	B3	P52	E	K
					SCK3_1 (SCL3_1)		
					ZIN0_2		
					TIOB10_0		
					INT02_0		
					MADATA02_0		
5	5	D1	5	D1	P53	E	K
					SIN6_0		
					TIOB11_0		
					TIOA1_2		
					INT07_2		
					MADATA03_0		
6	6	D2	6	D2	P54	E	K
					SOT6_0 (SDA6_0)		
					TIOB12_0		
					TIOB1_2		
					INT18_1		
					MADATA04_0		
7	7	D3	7	D3	P55	E	K
					ADTG_1		
					SCK6_0 (SCL6_0)		
					TIOB13_0		
					INT19_1		
					MADATA05_0		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
8	8	D5	8	E1	P56	H*	R
					INT08_2		
					CEC1_1		
					MADATA06_0		
	-	-	-	-	SIN1_0		
9	-	-	-	-	TIOA8_0	H*	J
					P57		
					SOT1_0 (SDA1_0)		
					TIOA9_0		
10	-	-	-	-	MADATA07_0	H*	J
					P58		
					SCK1_0 (SCL1_0)		
					TIOA10_0		
11	-	-	-	-	MADATA08_0	E	K
					P59		
					SIN7_0		
					TIOA11_0		
12	-	-	-	-	INT09_2	E	K
					MADATA09_0		
					P5A		
					SOT7_0 (SDA7_0)		
13	-	-	-	-	TIOA12_0	E	K
					INT16_2		
					MADATA10_0		
					P5B		
14	-	-	-	-	SCK7_0 (SCL7_0)	E	S
					TIOA13_0		
					INT17_2		
					MADATA11_0		
-	9	E1	9	E2	P30	E	S
					AIN0_0		
					TIOB0_1		
					TIOA13_2		
					INT03_2		
					WKUP4		
-	9	E1	9	E2	MADATA12_0	E	S
					P30		
-	9	E1	9	E2	AIN0_0	E	S
					TIOB0_1		
					TIOA13_2		
					INT03_2		
					WKUP4		
					MADATA07_0		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
15	-	-	-	-	P31	E	K
					SCK6_1 (SCL6_1)		
					BIN0_0		
					TIOB1_1		
					TIOB13_2		
					INT04_2		
					MADATA13_0		
-	10	E2	10	E3	P31	E	K
					SCK6_1 (SCL6_1)		
					BIN0_0		
					TIOB1_1		
					TIOB13_2		
					INT04_2		
					MADATA08_0		
16	-	-	-	-	P32	E	K
					SOT6_1 (SDA6_1)		
					ZIN0_0		
					TIOB2_1		
					INT05_2		
					MADATA14_0		
-	11	E3	11	G1	P32	E	K
					SOT6_1 (SDA6_1)		
					ZIN0_0		
					TIOB2_1		
					INT05_2		
					MADATA09_0		
17	-	-	-	-	P33	E	K
					ADTG_6		
					SIN9_0		
					SIN6_1		
					TIOB3_1		
					INT04_0		
					MADATA15_0		
-	12	E4	12	G2	P33	E	K
			-	-	ADTG_6		
					SIN6_1		
					TIOB3_1		
					INT04_0		
					MADATA10_0		
					SIN9_0		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
18	-	-	-	-	P34	E	J
					SOT9_0 (SDA9_0)		
					FRCK0_0		
					TIOB4_1		
					TIOA15_2		
					MNALE_0		
-	13	F1	-	-	P34	E	J
					SOT9_0 (SDA9_0)		
					FRCK0_0		
					TIOB4_1		
					TIOA15_2		
					MADATA11_0		
19	-	-	-	-	P35	E	K
					SCK9_0 (SCL9_0)		
					IC03_0		
					TIOB5_1		
					TIOB15_2		
					INT08_1		
					MNCLE_0		
-	14	F2	-	-	P35	E	K
					SCK9_0 (SCL9_0)		
					IC03_0		
					TIOB5_1		
					TIOB15_2		
					INT08_1		
					MADATA12_0		
20	-	-	-	-	P36	E	K
					SIN5_2		
					IC02_0		
					TIOB14_0		
					INT09_1		
					MNWEX_0		
-	15	F3	-	-	P36	E	K
					SIN5_2		
					IC02_0		
					TIOB14_0		
					INT09_1		
					MADATA13_0		
-	-	-	-	F1	VSS	-	-
-	-	-	-	F2	VSS	-	-
-	-	-	-	F3	VSS	-	-

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
21	-	-	-	-	P37	E	K
					SOT5_2 (SDA5_2)		
					IC01_0		
					TIOA14_0		
					INT10_1		
					MNREX_0		
-	16	G1	-	-	P37	E	K
					SOT5_2 (SDA5_2)		
					IC01_0		
					TIOA14_0		
					INT10_1		
					MADATA14_0		
22	17	G2	-	-	P38	E	K
					SCK5_2 (SCL5_2)		
					IC00_0		
					TIOA8_2		
					INT11_1		
					MADATA15_0		
-							
23	18	F4	13	G3	P39	E	K
					ADTG_2		
					SIN10_0		
					DTTIOX_0		
					INT06_0		
			-	-	TIOB8_2		
24	19	G3	14	H1	P3A	E	K
					SOT10_0 (SDA10_0)		
					RTO00_0		
					TIOA0_1		
					INT07_0		
					RTCCO_2		
					SUBOUT_2		
25	20	H1	15	H2	P3B	E	J
					SCK10_0 (SCL10_0)		
					RTO01_0		
					TIOA1_1		
26	21	H2	16	H3	P3C	E	K
					SIN11_0		
					RTO02_0		
					TIOA2_1		
					INT18_2		

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
27	22	G4	17	J1	P3D	E	J
					SOT11_0 (SDA11_0)		
					RTO03_0		
					TIOA3_1		
-	-	B2	-	B2	VSS	-	
28	23	H3	18	J2	P3E	E	K
					SCK11_0 (SCL11_0)		
					RTO04_0		
					TIOA4_1		
29	24	J2	19	J4	INT19_2	E	J
					P3F		
					RTO05_0		
30	25	L1	20	L1	TIOA5_1	-	
31	26	J1	-	-	VSS	-	
32	27	J4	-	-	VCC	-	
					P40	E	K
					SIN12_0		
					TIOA0_0		
33	28	L5	-	-	INT12_1	E	K
					P41		
					SOT12_0 (SDA12_0)		
					TIOA1_0		
34	29	K5	-	-	INT13_1	E	K
					P42		
					SCK12_0 (SCL12_0)		
					TIOA2_0		
35	30	J5	-	-	INT08_0	E	K
					P43		
					ADTG_7		
					SIN13_0		
36	31	H5	21	L5	TIOA3_0	E	K
					INT09_0		
					P44		
					SOT13_0 (SDA13_0)		
37	32	L6	21	L5	TIOA4_0	E	K
					INT10_0		
					MAD00_0		
					P45		
37	32	L6	22	K5	SCK13_0	E	K
					-		
					TIOA5_0		
					INT11_0		
37	32	L6	22	K5	MAD01_0	-	

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
-	-	K2	-	K2	VSS	-	
-	-	J3	-	J3	VSS	-	
-	-	H4	-	-	VSS	-	
-	-	-	-	L6	VSS	-	
38	33	L2	23	L2	C	-	
39	34	L4	24	L4	VSS	-	
40	35	K1	25	K1	VCC	-	
41	36	L3	26	L3	P46	D	F
					X0A		
42	37	K3	27	K3	P47	D	G
					X1A		
43	38	K4	28	K4	INITX	B	C
44	39	K6	29	J5	P48	E	K
					SIN3_2		
					INT14_1		
					MAD02_0		
45	40	J6	30	K6	P49	E	K
					SOT3_2 (SDA3_2)		
					AIN0_1		
					TIOB0_0		
					INT20_1		
					MAD03_0		
46	41	L7	31	J6	P4A	E	K
					SCK3_2 (SCL3_2)		
					BIN0_1		
					TIOB1_0		
					INT21_1		
					MAD04_0		
47	42	K7	32	L7	P4B	E	K
					IGTRG_0		
					ZIN0_1		
					TIOB2_0		
					INT22_1		
					MAD05_0		
48	43	H6	33	K7	P4C	H*	R
					SCK7_1 (SCL7_1)		
					AIN1_2		
					TIOB3_0		
					INT12_0		
					CEC0_0		
					MAD06_0		

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
49	44	J7	34	J7	P4D	H*	K
					SOT7_1 (SDA7_1)		
					BIN1_2		
					TIOB4_0		
					INT13_0		
					MAD07_0		
50	45	K8	35	K8	P4E	H*	K
					SIN7_1		
					ZIN1_2		
					TIOB5_0		
					INT06_2		
					MAD08_0		
	-	-	-	-	SIN14_0		
51	-	-	-	-	P70	E	J
					SOT14_0 (SDA14_0)		
					TIOA4_2		
52	-	-	-	-	P71	E	K
					SCK14_0 (SCL14_0)		
					TIOB4_2		
					INT13_2		
53	-	-	-	-	P72	E	K
					SIN2_0		
					TIOA6_0		
					INT14_2		
54	-	-	-	-	P73	E	K
					SOT2_0 (SDA2_0)		
					TIOB6_0		
					INT15_2		
55	-	-	-	-	P74	E	J
					SCK2_0 (SCL2_0)		
56	46	K9	36	K9	PE0	C	E
					MD1		
57	47	L8	37	L8	MD0	G	D
58	48	L9	38	L9	PE2	A	A
					X0		
59	49	L10	39	L10	PE3	A	B
					X1		
60	50	L11	40	L11	VSS	-	
61	51	K11	41	K11	VCC	-	
62	52	J11	42	J11	P10	F	L
					AN00		

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
63	53	J10	43	J10	P11	F	P
					AN01		
					SIN1_1		
					FRCK0_2		
					TIOB8_1		
					INT02_1		
					WKUP1		
					MAD09_0		
64	54	J8	44	J8	P12	F	L
					AN02		
					SOT1_1 (SDA1_1)		
					IC00_2		
					TIOB9_1		
					MAD10_0		
-	-	K10	-	K10	VSS	-	
-	-	J9	-	J9	VSS	-	
65	55	H10	45	H10	P13	F	L
					AN03		
					SCK1_1 (SCL1_1)		
					IC01_2		
					TIOB10_1		
					RTCCO_1		
					SUBOUT_1		
					MAD11_0		
66	56	H9	46	H9	P14	F	M
					AN04		
					SIN0_1		
					IC02_2		
					TIOB11_1		
					INT03_1		
					MAD12_0		
67	57	H7	47	G10	P15	F	M
					AN05		
					SOT0_1 (SDA0_1)		
					IC03_2		
					TIOB12_1		
					INT14_0		
					MAD13_0		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
68	58	G10	48	G9	P16	F	M
					AN06		
					SCK0_1 (SCL0_1)		
					TIOB13_1		
					INT15_0		
					MAD14_0		
69	59	G9	49	F10	P17	F	M
					AN07		
					SIN2_2		
					INT04_1		
					MAD15_0		
70	60	H11	50	H11	AVCC	-	
71	61	F11	51	F11	AVRH	-	
72	62	G11	52	G11	AVSS	-	
73	63	G8	53	F9	P18	F	L
					AN08		
					SOT2_2 (SDA2_2)		
					TIOA8_1		
					MAD16_0		
74	64	F10	54	E11	P19	F	L
					AN09		
					SCK2_2 (SCL2_2)		
					TIOA9_1		
					MAD17_0		
-	-	H8	-	-	VSS	-	
75	65	F9	55	E10	P1A	F	M
					AN10		
					SIN4_1		
					IC00_1		
					TIOA10_1		
					INT05_1		
					MAD18_0		
76	66	E11	56	E9	P1B	F	M
					AN11		
					SOT4_1 (SDA4_1)		
					IC01_1		
					TIOA11_1		
					INT20_2		
					MAD19_0		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
77	67	E10	-	-	P1C	F	M
					AN12		
					SCK4_1 (SCL4_1)		
					IC02_1		
					TIOA12_1		
					INT21_2		
					MAD20_0		
78	68	F8	-	-	P1D	F	M
					AN13		
					CTS4_1		
					IC03_1		
					TIOA13_1		
					INT22_2		
					MAD21_0		
79	69	E9	-	-	P1E	F	M
					AN14		
					RTS4_1		
					DTTIOX_1		
					TIOA9_2		
					INT23_2		
					MAD22_0		
80	70	D11	-	-	P1F	F	L
					AN15		
					ADTG_5		
					FRCK0_1		
					TIOB9_2		
					MAD23_0		
	-	-	-	-	SCK15_0 (SCL15_0)		
-	-	B10	-	B10	VSS	-	
-	-	C9	-	C9	VSS	-	
-	-	-	-	D11	VSS	-	
81	-	-	-	-	P28	E	J
					ADTG_4		
					SOT15_0 (SDA15_0)		
					RTO05_1		
					TIOB6_2		
82	-	-	-	-	P27	E	K
					SIN15_0		
					RTO04_1		
					TIOA6_2		
					INT02_2		

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
83	-	-	-	-	P26	E	J
					SCK2_1 (SCL2_1)		
					RTO03_1		
					TIOA11_2		
84	-	-	-	-	P25	E	J
					SOT2_1 (SDA2_1)		
					RTO02_1		
					TIOA14_1		
					TIOB11_2		
85	-	-	-	-	P24	E	K
					SIN2_1		
					RTO01_1		
					TIOB14_1		
					INT01_2		
86	71	D10	57	D10	P23	F	L
					AN16		
					SCK0_0 (SCL0_0)		
	-	-	-	-	TIOA7_1		
					RTO00_1		
87	72	E8	58	D9	P22	F	L
					AN17		
					SOT0_0 (SDA0_0)		
					ZIN1_1		
					TIOB7_1		
88	73	C11	59	C11	P21	F	P
					AN18		
					SIN0_0		
					BIN1_1		
					TIOB10_2		
					INT06_1		
					WKUP2		
89	74	C10	60	C10	P20	F	M
					AN19		
					CROUT_0		
					AIN1_1		
					TIOA10_2		
					INT05_0		
					MAD24_0		
90	75	A11	-	A11	VSS	-	-
91	76	A10	-	-	VCC	-	-

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
92	77	A9	61	A10	P00	E	I
					TRSTX		
					TIOA14_2		
					MCSX7_0		
			-	-	SCK8_0 (SCL8_0)		
93	78	B9	62	B9	P01	E	I
					TCK		
					SWCLK		
94	79	B11	63	B11	P02	E	I
					TDI		
					TIOB14_2		
					MCSX6_0		
			-	-	SOT8_0		
95	80	A8	64	A9	P03	E	I
					TMS		
					SWDIO		
96	81	B8	65	B8	P04	E	I
					TDO		
					SWO		
97	82	C8	-	-	P05	F	O
					AN20		
					TRACED0		
					SIN8_0		
					SIN4_2		
					TIOA5_2		
					INT00_1		
					MCSX5_0		
-	-	D8	-	-	VSS	-	
98	83	D9	-	-	P06	F	O
					AN21		
					TRACED1		
					SOT4_2 (SDA4_2)		
					TIOB5_2		
					INT01_1		
					MCSX4_0		
99	84	A7	66	A8	P07	F	O
					AN22		
					ADTG_0		
					INT23_1		
			MCLKOUT_0				
		-	-	TRACED2			
-	-	-	-	A7	SCK4_2 (SCL4_2)	-	
-	-	-	-	A7	VSS	-	

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
100	85	B7	-	-	P08	F	O
					AN23		
					TRACED3		
					CTS4_2		
					TIOA0_2		
					INT16_0		
					MCSX3_0		
101	86	C7	-	-	P09	E	N
					TRACECLK		
					RTS4_2		
					TIOB0_2		
					INT17_0		
					MCSX2_0		
102	87	D7	67	C8	P0A	H*	S
					SIN4_0		
					INT00_2		
					WKUP5		
					MCSX1_0		
103	88	A6	68	C7	P0B	H*	R
					SOT4_0 (SDA4_0)		
					TIOB6_1		
					INT18_0		
					CEC0_1		
					MCSX0_0		
104	89	B6	69	B7	P0C	H*	K
					SCK4_0 (SCL4_0)		
					TIOA6_1		
					INT19_0		
					MALE_0		
-	-	D4	-	-	VSS	-	
-	-	C3	-	C3	VSS	-	
105	90	C6	70	B6	P0D	E	K
					RTS4_0		
					TIOA3_2		
					INT20_0		
					MDQM0_0		
106	91	A5	71	C6	P0E	E	K
					CTS4_0		
					TIOB3_2		
					INT21_0		
					MDQM1_0		
-	-	-	-	A5	VSS	-	

端子番号					端子名	入出力 回路形式	端子状態 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
107	92	B5	72	A6	P0F	E	H
					NMIX		
					CROUT_1		
					RTCCO_0		
					SUBOUT_0		
					WKUP0		
108	-	-	-	-	P68	E	K
					SCK3_0 (SCL3_0)		
					TIOB7_2		
					INT12_2		
109	-	-	-	-	P67	E	K
					SOT3_0 (SDA3_0)		
					TIOA7_2		
					INT22_0		
110	-	-	-	-	P66	E	K
					SIN3_0		
					TIOA12_2		
					INT11_2		
111	-	-	-	-	P65	E	K
					SCK5_1 (SCL5_1)		
					TIOB7_0		
					TIOB12_2		
					INT23_0		
112	-	-	-	-	P64	E	K
					SOT5_1 (SDA5_1)		
					TIOA7_0		
					INT10_2		
113	93	D6	73	B5	P63	E	K
					TIOB15_1		
					INT03_0		
					MWEX_0		
	-	-	-	-	SIN5_1		
114	94	C5	74	C5	P62	E	K
					ADTG_3		
					SCK5_0 (SCL5_0)		
					TIOA15_1		
					INT07_1		
					MOEX_0		

端子番号					端子名	入出力 回路形式	端子状态 形式
LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96			
115	95	B4	75	B4	P61	E	J
					SOT5_0 (SDA5_0)		
					TIOB2_2		
116	96	C4	76	C4	P60	H*	Q
					SIN5_0		
					IGTRG_1		
					TIOA2_2		
					INT15_1		
					WKUP3		
					CEC1_0		
					MRDY_0		
117	97	A4	77	A4	VCC	-	
118	98	A3	78	A3	P80	E	K
					TIOB15_0		
					INT16_1		
119	99	A2	79	A2	P81	E	K
					TIOA15_0		
					INT17_1		
120	100	A1	80	A1	VSS	-	

*: 5 V トレラント I/O

端子機能別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は 1 つのチャンネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)によって利用する端子名を選択してください。

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	99	84	A7	66	A8
	ADTG_1		7	7	D3	7	D3
	ADTG_2		23	18	F4	13	G3
	ADTG_3		114	94	C5	74	C5
	ADTG_4		81	-	-	-	-
	ADTG_5		80	70	D11	-	-
	ADTG_6		17	12	E4	12	G2
	ADTG_7		35	30	J5	-	-
	ADTG_8		-	-	-	-	-
	AN00	A/D コンバータ アナログ入力端子。 ANxx は ADC ch.xx を示します。	62	52	J11	42	J11
	AN01		63	53	J10	43	J10
	AN02		64	54	J8	44	J8
	AN03		65	55	H10	45	H10
	AN04		66	56	H9	46	H9
	AN05		67	57	H7	47	G10
	AN06		68	58	G10	48	G9
	AN07		69	59	G9	49	F10
	AN08		73	63	G8	53	F9
	AN09		74	64	F10	54	E11
	AN10		75	65	F9	55	E10
	AN11		76	66	E11	56	E9
	AN12		77	67	E10	-	-
	AN13		78	68	F8	-	-
	AN14		79	69	E9	-	-
	AN15		80	70	D11	-	-
	AN16		86	71	D10	57	D10
	AN17		87	72	E8	58	D9
	AN18		88	73	C11	59	C11
	AN19		89	74	C10	60	C10
	AN20		97	82	C8	-	-
	AN21		98	83	D9	-	-
	AN22		99	84	A7	66	A8
	AN23		100	85	B7	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	32	27	J4	-	-
	TIOA0_1		24	19	G3	14	H1
	TIOA0_2		100	85	B7	-	-
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	45	40	J6	30	K6
	TIOB0_1		14	9	E1	9	E2
	TIOB0_2		101	86	C7	-	-
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	33	28	L5	-	-
	TIOA1_1		25	20	H1	15	H2
	TIOA1_2		5	5	D1	5	D1
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	46	41	L7	31	J6
	TIOB1_1		15	10	E2	10	E3
	TIOB1_2		6	6	D2	6	D2
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	34	29	K5	-	-
	TIOA2_1		26	21	H2	16	H3
	TIOA2_2		116	96	C4	76	C4
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	47	42	K7	32	L7
	TIOB2_1		16	11	E3	11	G1
	TIOB2_2		115	95	B4	75	B4
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	35	30	J5	-	-
	TIOA3_1		27	22	G4	17	J1
	TIOA3_2		105	90	C6	70	B6
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	48	43	H6	33	K7
	TIOB3_1		17	12	E4	12	G2
	TIOB3_2		106	91	A5	71	C6
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	36	31	H5	21	L5
	TIOA4_1		28	23	H3	18	J2
	TIOA4_2		51	-	-	-	-
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	49	44	J7	34	J7
	TIOB4_1		18	13	F1	-	-
	TIOB4_2		52	-	-	-	-
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	37	32	L6	22	K5
	TIOA5_1		29	24	J2	19	J4
	TIOA5_2		97	82	C8	-	-
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	50	45	K8	35	K8
	TIOB5_1		19	14	F2	-	-
	TIOB5_2		98	83	D9	-	-
ベース タイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	53	-	-	-	-
	TIOA6_1		104	89	B6	69	B7
	TIOA6_2		82	-	-	-	-
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	54	-	-	-	-
	TIOB6_1		103	88	A6	68	C7
	TIOB6_2		81	-	-	-	-
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	112	-	-	-	-
	TIOA7_1		86	71	D10	57	D10
	TIOA7_2		109	-	-	-	-
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	111	-	-	-	-
	TIOB7_1		87	72	E8	58	D9
	TIOB7_2		108	-	-	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
ベース タイマ 8	TIOA8_0	ベースタイマ ch.8 の TIOA 端子	8	8	D5	8	E1
	TIOA8_1		73	63	G8	53	F9
	TIOA8_2		22	17	G2	-	-
	TIOB8_0	ベースタイマ ch.8 の TIOB 端子	2	2	C1	2	C1
	TIOB8_1		63	53	J10	43	J10
	TIOB8_2		23	18	F4	-	-
ベース タイマ 9	TIOA9_0	ベースタイマ ch.9 の TIOA 端子	9	-	-	-	-
	TIOA9_1		74	64	F10	54	E11
	TIOA9_2		79	69	E9	-	-
	TIOB9_0	ベースタイマ ch.9 の TIOB 端子	3	3	C2	3	C2
	TIOB9_1		64	54	J8	44	J8
	TIOB9_2		80	70	D11	-	-
ベース タイマ 10	TIOA10_0	ベースタイマ ch.10 の TIOA 端子	10	-	-	-	-
	TIOA10_1		75	65	F9	55	E10
	TIOA10_2		89	74	C10	60	C10
	TIOB10_0	ベースタイマ ch.10 の TIOB 端子	4	4	B3	4	B3
	TIOB10_1		65	55	H10	45	H10
	TIOB10_2		88	73	C11	59	C11
ベース タイマ 11	TIOA11_0	ベースタイマ ch.11 の TIOA 端子	11	-	-	-	-
	TIOA11_1		76	66	E11	56	E9
	TIOA11_2		83	-	-	-	-
	TIOB11_0	ベースタイマ ch.11 の TIOB 端子	5	5	D1	5	D1
	TIOB11_1		66	56	H9	46	H9
	TIOB11_2		84	-	-	-	-
ベース タイマ 12	TIOA12_0	ベースタイマ ch.12 の TIOA 端子	12	-	-	-	-
	TIOA12_1		77	67	E10	-	-
	TIOA12_2		110	-	-	-	-
	TIOB12_0	ベースタイマ ch.12 の TIOB 端子	6	6	D2	6	D2
	TIOB12_1		67	57	H7	47	G10
	TIOB12_2		111	-	-	-	-
ベース タイマ 13	TIOA13_0	ベースタイマ ch.13 の TIOA 端子	13	-	-	-	-
	TIOA13_1		78	68	F8	-	-
	TIOA13_2		14	9	E1	9	E2
	TIOB13_0	ベースタイマ ch.13 の TIOB 端子	7	7	D3	7	D3
	TIOB13_1		68	58	G10	48	G9
	TIOB13_2		15	10	E2	10	E3
ベース タイマ 14	TIOA14_0	ベースタイマ ch.14 の TIOA 端子	21	16	G1	-	-
	TIOA14_1		84	-	-	-	-
	TIOA14_2		92	77	A9	61	A10
	TIOB14_0	ベースタイマ ch.14 の TIOB 端子	20	15	F3	-	-
	TIOB14_1		85	-	-	-	-
	TIOB14_2		94	79	B11	63	B11
ベース タイマ 15	TIOA15_0	ベースタイマ ch.15 の TIOA 端子	119	99	A2	79	A2
	TIOA15_1		114	94	C5	74	C5
	TIOA15_2		18	13	F1	-	-
	TIOB15_0	ベースタイマ ch.15 の TIOB 端子	118	98	A3	78	A3
	TIOB15_1		113	93	D6	73	B5
	TIOB15_2		19	14	F2	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
デバッグ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力端子	93	78	B9	62	B9
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力端子	95	80	A8	64	A9
	SWO	シリアルワイヤビューワ出力端子	96	81	B8	65	B8
	TCK	JTAG テストクロック入力端子	93	78	B9	62	B9
	TDI	JTAG テストデータ入力端子	94	79	B11	63	B11
	TDO	JTAG デバッグデータ出力端子	96	81	B8	65	B8
	TMS	JTAG テストモード状態入出力端子	95	80	A8	64	A9
	TRACECLK	ETM のトレース CLK 出力端子	101	86	C7	-	-
	TRACED0	ETM のトレースデータ出力端子	97	82	C8	-	-
	TRACED1		98	83	D9	-	-
	TRACED2		99	84	A7	-	-
	TRACED3		100	85	B7	-	-
	TRSTX	JTAG テストリセット入力端子	92	77	A9	61	A10
外部バス	MAD00_0	外部バスインタフェース アドレスバス	36	31	H5	21	L5
	MAD01_0		37	32	L6	22	K5
	MAD02_0		44	39	K6	29	J5
	MAD03_0		45	40	J6	30	K6
	MAD04_0		46	41	L7	31	J6
	MAD05_0		47	42	K7	32	L7
	MAD06_0		48	43	H6	33	K7
	MAD07_0		49	44	J7	34	J7
	MAD08_0		50	45	K8	35	K8
	MAD09_0		63	53	J10	43	J10
	MAD10_0		64	54	J8	44	J8
	MAD11_0		65	55	H10	45	H10
	MAD12_0		66	56	H9	46	H9
	MAD13_0		67	57	H7	47	G10
	MAD14_0		68	58	G10	48	G9
	MAD15_0		69	59	G9	49	F10
	MAD16_0		73	63	G8	53	F9
	MAD17_0		74	64	F10	54	E11
	MAD18_0		75	65	F9	55	E10
	MAD19_0		76	66	E11	56	E9
	MAD20_0		77	67	E10	-	-
	MAD21_0		78	68	F8	-	-
	MAD22_0		79	69	E9	-	-
	MAD23_0		80	70	D11	-	-
	MAD24_0		89	74	C10	60	C10

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
外部バス	MCSX0_0	外部バスインタフェース チップセレクト出力端子	103	88	A6	68	C7
	MCSX1_0		102	87	D7	67	C8
	MCSX2_0		101	86	C7	-	-
	MCSX3_0		100	85	B7	-	-
	MCSX4_0		98	83	D9	-	-
	MCSX5_0		97	82	C8	-	-
	MCSX6_0		94	79	B11	63	B11
	MCSX7_0		92	77	A9	61	A10
	MDQM0_0	外部バスインタフェース バイトマスク信号出力端子	105	90	C6	70	B6
	MDQM1_0		106	91	A5	71	C6
	MOEX_0	SRAM の外部バスインタフェース スリッド許可信号	114	94	C5	74	C5
	MWEX_0	SRAM の外部バスインタフェース スライツ許可信号	113	93	D6	73	B5
	MNALE_0	NAND フラッシュメモリ出力端 子をコントロールする外部バス インタフェース ALE 信号	18	-	-	-	-
	MNCLE_0	NAND フラッシュメモリ出力端 子をコントロールする外部バス インタフェース CLE 信号	19	-	-	-	-
	MNREX_0	NAND フラッシュメモリをコン トロールする外部バスインタ フェーススリッド許可信号	21	-	-	-	-
	MNWEX_0	NAND フラッシュメモリをコン トロールする外部バスインタ フェーススライツ許可信号	20	-	-	-	-
	MADATA00_0	外部バスインタフェース データバス	2	2	C1	2	C1
	MADATA01_0		3	3	C2	3	C2
	MADATA02_0		4	4	B3	4	B3
	MADATA03_0		5	5	D1	5	D1
	MADATA04_0		6	6	D2	6	D2
	MADATA05_0		7	7	D3	7	D3
	MADATA06_0		8	8	D5	8	E1
	MADATA07_0		9	9	E1	9	E2
	MADATA08_0		10	10	E2	10	E3
	MADATA09_0		11	11	E3	11	G1
	MADATA10_0		12	12	E4	12	G2
	MADATA11_0		13	13	F1	-	-
	MADATA12_0		14	14	F2	-	-
	MADATA13_0		15	15	F3	-	-
	MADATA14_0		16	16	G1	-	-
	MADATA15_0		17	17	G2	-	-
	MALE_0	マルチプレクス時アドレスラッ チイネーブル信号	104	89	B6	69	B7
	MRDY_0	外部 RDY 入力信号	116	96	C4	76	C4
	MCLKOUT_0	外部バスクロック出力端子	99	84	A7	66	A8

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	2	C1	2	C1
	INT00_1		97	82	C8	-	-
	INT00_2		102	87	D7	67	C8
	INT01_0	外部割込み要求 01 の入力端子	3	3	C2	3	C2
	INT01_1		98	83	D9	-	-
	INT01_2		85	-	-	-	-
	INT02_0	外部割込み要求 02 の入力端子	4	4	B3	4	B3
	INT02_1		63	53	J10	43	J10
	INT02_2		82	-	-	-	-
	INT03_0	外部割込み要求 03 の入力端子	113	93	D6	73	B5
	INT03_1		66	56	H9	46	H9
	INT03_2		14	9	E1	9	E2
	INT04_0	外部割込み要求 04 の入力端子	17	12	E4	12	G2
	INT04_1		69	59	G9	49	F10
	INT04_2		15	10	E2	10	E3
	INT05_0	外部割込み要求 05 の入力端子	89	74	C10	60	C10
	INT05_1		75	65	F9	55	E10
	INT05_2		16	11	E3	11	G1
	INT06_0	外部割込み要求 06 の入力端子	23	18	F4	13	G3
	INT06_1		88	73	C11	59	C11
	INT06_2		50	45	K8	35	K8
	INT07_0	外部割込み要求 07 の入力端子	24	19	G3	14	H1
	INT07_1		114	94	C5	74	C5
	INT07_2		5	5	D1	5	D1
	INT08_0	外部割込み要求 08 の入力端子	34	29	K5	-	-
	INT08_1		19	14	F2	-	-
	INT08_2		8	8	D5	8	E1
	INT09_0	外部割込み要求 09 の入力端子	35	30	J5	-	-
	INT09_1		20	15	F3	-	-
	INT09_2		11	-	-	-	-
	INT10_0	外部割込み要求 10 の入力端子	36	31	H5	21	L5
	INT10_1		21	16	G1	-	-
	INT10_2		112	-	-	-	-
	INT11_0	外部割込み要求 11 の入力端子	37	32	L6	22	K5
	INT11_1		22	17	G2	-	-
	INT11_2		110	-	-	-	-
	INT12_0	外部割込み要求 12 の入力端子	48	43	H6	33	K7
	INT12_1		32	27	J4	-	-
	INT12_2		108	-	-	-	-
	INT13_0	外部割込み要求 13 の入力端子	49	44	J7	34	J7
	INT13_1		33	28	L5	-	-
	INT13_2		52	-	-	-	-
	INT14_0	外部割込み要求 14 の入力端子	67	57	H7	47	G10
	INT14_1		44	39	K6	29	J5
	INT14_2		53	-	-	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
外部割込み	INT15_0	外部割込み要求 15 の入力端子	68	58	G10	48	G9
	INT15_1		116	96	C4	76	C4
	INT15_2		54	-	-	-	-
	INT16_0	外部割込み要求 16 の入力端子	100	85	B7	-	-
	INT16_1		118	98	A3	78	A3
	INT16_2		12	-	-	-	-
	INT17_0	外部割込み要求 17 の入力端子	101	86	C7	-	-
	INT17_1		119	99	A2	79	A2
	INT17_2		13	-	-	-	-
	INT18_0	外部割込み要求 18 の入力端子	103	88	A6	68	C7
	INT18_1		6	6	D2	6	D2
	INT18_2		26	21	H2	16	H3
	INT19_0	外部割込み要求 19 の入力端子	104	89	B6	69	B7
	INT19_1		7	7	D3	7	D3
	INT19_2		28	23	H3	18	J2
	INT20_0	外部割込み要求 20 の入力端子	105	90	C6	70	B6
	INT20_1		45	40	J6	30	K6
	INT20_2		76	66	E11	56	E9
	INT21_0	外部割込み要求 21 の入力端子	106	91	A5	71	C6
	INT21_1		46	41	L7	31	J6
	INT21_2		77	67	E10	-	-
	INT22_0	外部割込み要求 22 の入力端子	109	-	-	-	-
	INT22_1		47	42	K7	32	L7
	INT22_2		78	68	F8	-	-
	INT23_0	外部割込み要求 23 の入力端子	111	-	-	-	-
	INT23_1		99	84	A7	66	A8
	INT23_2		79	69	E9	-	-
	NMIX	ノンマスカブル割込み入力端子	107	92	B5	72	A6

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
GPIO	P00	汎用入出力ポート 0	92	77	A9	61	A10
	P01		93	78	B9	62	B9
	P02		94	79	B11	63	B11
	P03		95	80	A8	64	A9
	P04		96	81	B8	65	B8
	P05		97	82	C8	-	-
	P06		98	83	D9	-	-
	P07		99	84	A7	66	A8
	P08		100	85	B7	-	-
	P09		101	86	C7	-	-
	P0A		102	87	D7	67	C8
	P0B		103	88	A6	68	C7
	P0C		104	89	B6	69	B7
	P0D		105	90	C6	70	B6
	P0E		106	91	A5	71	C6
	P0F		107	92	B5	72	A6
	P10	汎用入出力ポート 1	62	52	J11	42	J11
	P11		63	53	J10	43	J10
	P12		64	54	J8	44	J8
	P13		65	55	H10	45	H10
	P14		66	56	H9	46	H9
	P15		67	57	H7	47	G10
	P16		68	58	G10	48	G9
	P17		69	59	G9	49	F10
	P18		73	63	G8	53	F9
	P19		74	64	F10	54	E11
	P1A		75	65	F9	55	E10
	P1B		76	66	E11	56	E9
	P1C		77	67	E10	-	-
	P1D		78	68	F8	-	-
	P1E		79	69	E9	-	-
	P1F		80	70	D11	-	-
	P20	汎用入出力ポート 2	89	74	C10	60	C10
	P21		88	73	C11	59	C11
	P22		87	72	E8	58	D9
	P23		86	71	D10	57	D10
	P24		85	-	-	-	-
	P25		84	-	-	-	-
	P26		83	-	-	-	-
	P27		82	-	-	-	-
	P28		81	-	-	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
GPIO	P30	汎用入出力ポート 3	14	9	E1	9	E2
	P31		15	10	E2	10	E3
	P32		16	11	E3	11	G1
	P33		17	12	E4	12	G2
	P34		18	13	F1	-	-
	P35		19	14	F2	-	-
	P36		20	15	F3	-	-
	P37		21	16	G1	-	-
	P38		22	17	G2	-	-
	P39		23	18	F4	13	G3
	P3A		24	19	G3	14	H1
	P3B		25	20	H1	15	H2
	P3C		26	21	H2	16	H3
	P3D		27	22	G4	17	J1
	P3E		28	23	H3	18	J2
	P3F		29	24	J2	19	J4
	P40	汎用入出力ポート 4	32	27	J4	-	-
	P41		33	28	L5	-	-
	P42		34	29	K5	-	-
	P43		35	30	J5	-	-
	P44		36	31	H5	21	L5
	P45		37	32	L6	22	K5
	P46		41	36	L3	26	L3
	P47		42	37	K3	27	K3
	P48		44	39	K6	29	J5
	P49		45	40	J6	30	K6
	P4A		46	41	L7	31	J6
	P4B		47	42	K7	32	L7
	P4C		48	43	H6	33	K7
	P4D		49	44	J7	34	J7
	P4E		50	45	K8	35	K8
	P50	汎用入出力ポート 5	2	2	C1	2	C1
	P51		3	3	C2	3	C2
	P52		4	4	B3	4	B3
	P53		5	5	D1	5	D1
	P54		6	6	D2	6	D2
	P55		7	7	D3	7	D3
	P56		8	8	D5	8	E1
	P57		9	-	-	-	-
	P58		10	-	-	-	-
	P59		11	-	-	-	-
	P5A		12	-	-	-	-
	P5B		13	-	-	-	-
	P60	汎用入出力ポート 6	116	96	C4	76	C4
	P61		115	95	B4	75	B4
	P62		114	94	C5	74	C5
	P63		113	93	D6	73	B5
	P64		112	-	-	-	-
	P65		111	-	-	-	-
	P66		110	-	-	-	-
	P67		109	-	-	-	-
	P68		108	-	-	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
GPIO	P70	汎用入出力ポート 7	51	-	-	-	-
	P71		52	-	-	-	-
	P72		53	-	-	-	-
	P73		54	-	-	-	-
	P74		55	-	-	-	-
	P80	汎用入出力ポート 8	118	98	A3	78	A3
	P81		119	99	A2	79	A2
	PE0	汎用入出力ポート E	56	46	K9	36	K9
	PE2		58	48	L9	38	L9
	PE3		59	49	L10	39	L10

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	88	73	C11	59	C11
	SIN0_1		66	56	H9	46	H9
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO 端子(動作モード 0~2)として使用するときには SOT0 として、I ² C 端子(動作モード 4)として使用するときには SDA0 として機能します。	87	72	E8	58	D9
	SOT0_1 (SDA0_1)		67	57	H7	47	G10
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときには SCK0 として、I ² C 端子(動作モード 4)として使用するときには SCL0 として機能します。	86	71	D10	57	D10
	SCK0_1 (SCL0_1)		68	58	G10	48	G9
マルチファンクションシリアル 1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	8	-	-	-	-
	SIN1_1		63	53	J10	43	J10
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO 端子(動作モード 0~2)として使用するときには SOT1 として、I ² C 端子(動作モード 4)として使用するときには SDA1 として機能します。	9	-	-	-	-
	SOT1_1 (SDA1_1)		64	54	J8	44	J8
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときには SCK1 として、I ² C 端子(動作モード 4)として使用するときには SCL1 として機能します。	10	-	-	-	-
	SCK1_1 (SCL1_1)		65	55	H10	45	H10

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	53	-	-	-	-
	SIN2_1		85	-	-	-	-
	SIN2_2		69	59	G9	49	F10
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT2 として、I ² C 端子(動作モード 4)として使用するときは SDA2 として機能します。	54	-	-	-	-
	SOT2_1 (SDA2_1)		84	-	-	-	-
	SOT2_2 (SDA2_2)		73	63	G8	53	F9
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK2 として、I ² C 端子(動作モード 4)として使用するときは SCL2 として機能します。	55	-	-	-	-
	SCK2_1 (SCL2_1)		83	-	-	-	-
	SCK2_2 (SCL2_2)		74	64	F10	54	E11
マルチファンクションシリアル 3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	110	-	-	-	-
	SIN3_1		2	2	C1	2	C1
	SIN3_2		44	39	K6	29	J5
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT3 として、I ² C 端子(動作モード 4)として使用するときは SDA3 として機能します。	109	-	-	-	-
	SOT3_1 (SDA3_1)		3	3	C2	3	C2
	SOT3_2 (SDA3_2)		45	40	J6	30	K6
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK3 として、I ² C 端子(動作モード 4)として使用するときは SCL3 として機能します。	108	-	-	-	-
	SCK3_1 (SCL3_1)		4	4	B3	4	B3
	SCK3_2 (SCL3_2)		46	41	L7	31	J6

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	102	87	D7	67	C8
	SIN4_1		75	65	F9	55	E10
	SIN4_2		97	82	C8	-	-
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SOT4 として、I ² C 端子(動作モード 4)として使用するときは SDA4 として機能します。	103	88	A6	68	C7
	SOT4_1 (SDA4_1)		76	66	E11	56	E9
	SOT4_2 (SDA4_2)		98	83	D9	-	-
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。UART/CSIO 端子(動作モード 0~2)として使用するときは SCK4 として、I ² C 端子(動作モード 4)として使用するときは SCL4 として機能します。	104	89	B6	69	B7
	SCK4_1 (SCL4_1)		77	67	E10	-	-
	SCK4_2 (SCL4_2)		99	84	A7	-	-
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	105	90	C6	70	B6
	RTS4_1		79	69	E9	-	-
	RTS4_2		101	86	C7	-	-
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	106	91	A5	71	C6
	CTS4_1		78	68	F8	-	-
	CTS4_2		100	85	B7	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	116	96	C4	76	C4
	SIN5_1		113	-	-	-	-
	SIN5_2		20	15	F3	-	-
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときには SOT5 として、I ² C 端子(動作モード 4)として使用するときには SDA5 として機能します。	115	95	B4	75	B4
	SOT5_1 (SDA5_1)		112	-	-	-	-
	SOT5_2 (SDA5_2)		21	16	G1	-	-
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときには SCK5 として、I ² C 端子(動作モード 4)として使用するときには SCL5 として機能します。	114	94	C5	74	C5
	SCK5_1 (SCL5_1)		111	-	-	-	-
	SCK5_2 (SCL5_2)		22	17	G2	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	5	5	D1	5	D1
	SIN6_1		17	12	E4	12	G2
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT6 として、I ² C 端子(動作モード 4)として使用するときは SDA6 として機能します。	6	6	D2	6	D2
	SOT6_1 (SDA6_1)		16	11	E3	11	G1
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK6 として、I ² C 端子(動作モード 4)として使用するときは SCL6 として機能します。	7	7	D3	7	D3
	SCK6_1 (SCL6_1)		15	10	E2	10	E3
マルチファンクションシリアル 7	SIN7_0	マルチファンクションシリアルインタフェース ch.7 の入力端子	11	-	-	-	-
	SIN7_1		50	45	K8	35	K8
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch.7 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT7 として、I ² C 端子(動作モード 4)として使用するときは SDA7 として機能します。	12	-	-	-	-
	SOT7_1 (SDA7_1)		49	44	J7	34	J7
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK7 として、I ² C 端子(動作モード 4)として使用するときは SCL7 として機能します。	13	-	-	-	-
	SCK7_1 (SCL7_1)		48	43	H6	33	K7

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 8	SIN8_0	マルチファンクションシリアルインタフェース ch.8 の入力端子	97	82	C8	-	-
	SOT8_0 (SDA8_0)	マルチファンクションシリアルインタフェース ch.8 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT8 として、I ² C 端子(動作モード 4)として使用するときは SDA8 として機能します。	94	79	B11	-	-
	SCK8_0 (SCL8_0)	マルチファンクションシリアルインタフェース ch.8 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK8 として、I ² C 端子(動作モード 4)として使用するときは SCL8 として機能します。	92	77	A9	-	-
マルチファンクションシリアル 9	SIN9_0	マルチファンクションシリアルインタフェース ch.9 の入力端子	17	12	E4	-	-
	SOT9_0 (SDA9_0)	マルチファンクションシリアルインタフェース ch.9 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT9 として、I ² C 端子(動作モード 4)として使用するときは SDA9 として機能します。	18	13	F1	-	-
	SCK9_0 (SCL9_0)	マルチファンクションシリアルインタフェース ch.9 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK9 として、I ² C 端子(動作モード 4)として使用するときは SCL9 として機能します。	19	14	F2	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 10	SIN10_0	マルチファンクションシリアルインタフェース ch.10 の入力端子	23	18	F4	13	G3
	SOT10_0 (SDA10_0)	マルチファンクションシリアルインタフェース ch.10 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT10 として、I ² C 端子(動作モード 4)として使用するときは SDA10 として機能します。	24	19	G3	14	H1
	SCK10_0 (SCL10_0)	マルチファンクションシリアルインタフェース ch.10 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK10 として、I ² C 端子(動作モード 4)として使用するときは SCL10 として機能します。	25	20	H1	15	H2
マルチファンクションシリアル 11	SIN11_0	マルチファンクションシリアルインタフェース ch.11 の入力端子	26	21	H2	16	H3
	SOT11_0 (SDA11_0)	マルチファンクションシリアルインタフェース ch.11 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT11 として、I ² C 端子(動作モード 4)として使用するときは SDA11 として機能します。	27	22	G4	17	J1
	SCK11_0 (SCL11_0)	マルチファンクションシリアルインタフェース ch.11 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK11 として、I ² C 端子(動作モード 4)として使用するときは SCL11 として機能します。	28	23	H3	18	J2

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 12	SIN12_0	マルチファンクションシリアルインタフェース ch.12 の入力端子	32	27	J4	-	-
	SOT12_0 (SDA12_0)	マルチファンクションシリアルインタフェース ch.12 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT12 として、I ² C 端子(動作モード 4)として使用するときは SDA12 として機能します。	33	28	L5	-	-
	SCK12_0 (SCL12_0)	マルチファンクションシリアルインタフェース ch.12 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK12 として、I ² C 端子(動作モード 4)として使用するときは SCL12 として機能します。	34	29	K5	-	-
マルチファンクションシリアル 13	SIN13_0	マルチファンクションシリアルインタフェース ch.13 の入力端子	35	30	J5	-	-
	SOT13_0 (SDA13_0)	マルチファンクションシリアルインタフェース ch.13 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT13 として、I ² C 端子(動作モード 4)として使用するときは SDA13 として機能します。	36	31	H5	-	-
	SCK13_0 (SCL13_0)	マルチファンクションシリアルインタフェース ch.13 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK13 として、I ² C 端子(動作モード 4)として使用するときは SCL13 として機能します。	37	32	L6	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
マルチファンクションシリアル 14	SIN14_0	マルチファンクションシリアルインタフェース ch.14 の入力端子	50	-	-	-	-
	SOT14_0 (SDA14_0)	マルチファンクションシリアルインタフェース ch.14 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT14 として、I ² C 端子(動作モード 4)として使用するときは SDA14 として機能します。	51	-	-	-	-
	SCK14_0 (SCL14_0)	マルチファンクションシリアルインタフェース ch.14 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK14 として、I ² C 端子(動作モード 4)として使用するときは SCL14 として機能します。	52	-	-	-	-
マルチファンクションシリアル 15	SIN15_0	マルチファンクションシリアルインタフェース ch.15 の入力端子	82	-	-	-	-
	SOT15_0 (SDA15_0)	マルチファンクションシリアルインタフェース ch.15 の出力端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SOT15 として、I ² C 端子(動作モード 4)として使用するときは SDA15 として機能します。	81	-	-	-	-
	SCK15_0 (SCL15_0)	マルチファンクションシリアルインタフェース ch.15 のクロック I/O 端子。UART/CSIO 端子(動作モード 0～2)として使用するときは SCK15 として、I ² C 端子(動作モード 4)として使用するときは SCL15 として機能します。	80	-	-	-	-

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
多機能 タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00～RTO05 出力を制御する波形ジェネレー タの入力信号	23	18	F4	13	G3
	DTTI0X_1		79	69	E9	-	-
	FRCK0_0	16 ビットフリーランタイム ch.0 の外部クロック入力端子	18	13	F1	-	-
	FRCK0_1		80	70	D11	-	-
	FRCK0_2		63	53	J10	43	J10
	IC00_0	多機能タイマ 0 の 16 ビットイン プットキャプチャの入力端子。 ICxx は、チャンネル数を示します。	22	17	G2	-	-
	IC00_1		75	65	F9	55	E10
	IC00_2		64	54	J8	44	J8
	IC01_0		21	16	G1	-	-
	IC01_1		76	66	E11	56	E9
	IC01_2		65	55	H10	45	H10
	IC02_0		20	15	F3	-	-
	IC02_1		77	67	E10	-	-
	IC02_2		66	56	H9	46	H9
	IC03_0		19	14	F2	-	-
	IC03_1		78	68	F8	-	-
	IC03_2		67	57	H7	47	G10
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG00 として機能します。	24	19	G3	14	H1
	RTO00_1 (PPG00_1)		86	71	D10	57	D10
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG00 として機能します。	25	20	H1	15	H2
	RTO01_1 (PPG00_1)		85	-	-	-	-
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG02 として機能します。	26	21	H2	16	H3
	RTO02_1 (PPG02_1)		84	-	-	-	-
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG02 として機能します。	27	22	G4	17	J1
	RTO03_1 (PPG02_1)		83	-	-	-	-
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG04 として機能します。	28	23	H3	18	J2
	RTO04_1 (PPG04_1)		82	-	-	-	-
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレー タ出力端子。 PPG0 出力モードで使用するときは、 PPG04 として機能します。	29	24	J2	19	J4
	RTO05_1 (PPG04_1)		81	-	-	-	-
	IGTRG_0	PPGIGMT モード外部トリガ入力 端子	46	41	L7	31	J6
	IGTRG_1		116	96	C4	76	C4

端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
クアッド カウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	14	9	E1	9	E2
	AIN0_1		45	40	J6	30	K6
	AIN0_2		2	2	C1	2	C1
	BIN0_0	QPRC ch.0 の BIN 入力端子	15	10	E2	10	E3
	BIN0_1		46	41	L7	31	J6
	BIN0_2		3	3	C2	3	C2
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	16	11	E3	11	G1
	ZIN0_1		47	42	K7	32	L7
	ZIN0_2		4	4	B3	4	B3
クアッド カウンタ 1	AIN1_1	QPRC ch.1 の AIN 入力端子	89	74	C10	60	C10
	AIN1_2		48	43	H6	33	K7
	BIN1_1	QPRC ch.1 の BIN 入力端子	88	73	C11	59	C11
	BIN1_2		49	44	J7	34	J7
	ZIN1_1	QPRC ch.1 の ZIN 入力端子	87	72	E8	58	D9
	ZIN1_2		50	45	K8	35	K8
リアル タイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	107	92	B5	72	A6
	RTCCO_1		65	55	H10	45	H10
	RTCCO_2		24	19	G3	14	H1
	SUBOUT_0	サブクロック出力端子	107	92	B5	72	A6
	SUBOUT_1		65	55	H10	45	H10
	SUBOUT_2		24	19	G3	14	H1
低消費電力 モード	WKUP0	ディープスタンバイモード復帰 信号入力端子 0	107	92	B5	72	A6
	WKUP1	ディープスタンバイモード復帰 信号入力端子 1	63	53	J10	43	J10
	WKUP2	ディープスタンバイモード復帰 信号入力端子 2	88	73	C11	59	C11
	WKUP3	ディープスタンバイモード復帰 信号入力端子 3	116	96	C4	76	C4
	WKUP4	ディープスタンバイモード復帰 信号入力端子 4	14	9	E1	9	E2
	WKUP5	ディープスタンバイモード復帰 信号入力端子 5	102	87	D7	67	C8
HDMI- CEC/ リモコン受 信	CEC0_0	HDMI-CEC/リモコン受信 ch.0 の 入出力端子	48	43	H6	33	K7
	CEC0_1		103	88	A6	68	C7
	CEC1_0	HDMI-CEC/リモコン受信 ch.1 の 入出力端子	116	96	C4	76	C4
	CEC1_1		8	8	D5	8	E1

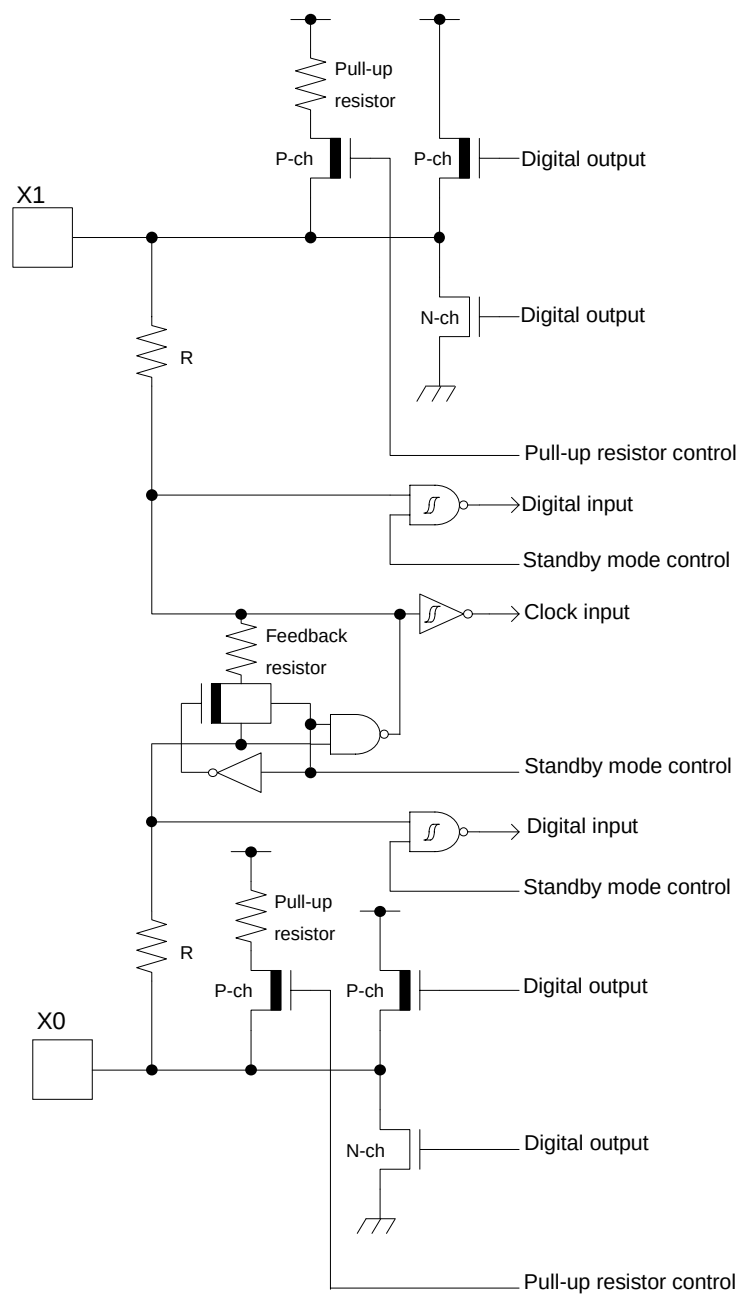
端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
Reset	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効です。	43	38	K4	28	K4
Mode	MD0	モード0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書き込み時は、MD0="H"を入力してください。	57	47	L8	37	L8
	MD1	モード1 端子。 フラッシュメモリのシリアル書き込み時は、MD1="L"を入力してください。	56	46	K9	36	K9
Power	VCC	電源端子	1	1	B1	1	B1
	VCC	電源端子	31	26	J1	-	-
	VCC	電源端子	40	35	K1	25	K1
	VCC	電源端子	61	51	K11	41	K11
	VCC	電源端子	91	76	A10	-	-
	VCC	電源端子	117	97	A4	77	A4
GND	VSS	GND 端子	-	-	-	-	F1
	VSS	GND 端子	-	-	-	-	F2
	VSS	GND 端子	-	-	-	-	F3
	VSS	GND 端子	-	-	B2	-	B2
	VSS	GND 端子	30	25	L1	20	L1
	VSS	GND 端子	-	-	K2	-	K2
	VSS	GND 端子	-	-	J3	-	J3
	VSS	GND 端子	-	-	H4	-	-
	VSS	GND 端子	-	-	-	-	L6
	VSS	GND 端子	39	34	L4	24	L4
	VSS	GND 端子	60	50	L11	40	L11
	VSS	GND 端子	-	-	K10	-	K10
	VSS	GND 端子	-	-	J9	-	J9
	VSS	GND 端子	-	-	H8	-	-
	VSS	GND 端子	-	-	B10	-	B10
	VSS	GND 端子	-	-	C9	-	C9
	VSS	GND 端子	-	-	-	-	D11
	VSS	GND 端子	90	75	A11	-	A11
	VSS	GND 端子	-	-	D8	-	-
	VSS	GND 端子	-	-	-	-	A7
	VSS	GND 端子	-	-	D4	-	-
	VSS	GND 端子	-	-	C3	-	C3
	VSS	GND 端子	-	-	-	-	A5
	VSS	GND 端子	120	100	A1	80	A1

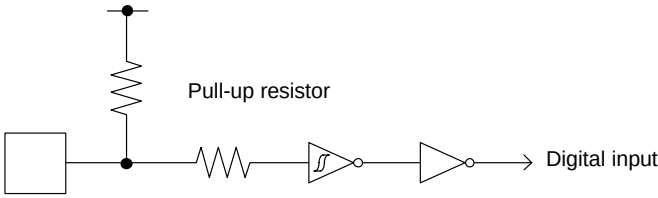
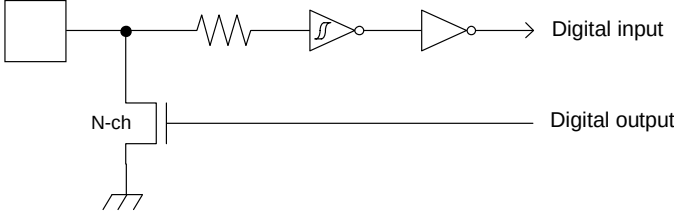
端子機能	端子名	機能説明	端子番号				
			LQFP-120	LQFP-100	BGA-112	LQFP-80	BGA-96
Clock	X0	メインクロック(発振)入力端子	58	48	L9	38	L9
	X0A	サブクロック(発振)入力端子	41	36	L3	26	L3
	X1	メインクロック(発振)I/O 端子	59	49	L10	39	L10
	X1A	サブクロック(発振)I/O 端子	42	37	K3	27	K3
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	89	74	C10	60	C10
	CROUT_1		107	92	B5	72	A6
ADC Power	AVCC	A/D コンバータのアナログ電源端子	70	60	H11	50	H11
	AVRH	A/D コンバータのアナログ基準電圧入力端子	71	61	F11	51	F11
ADC GND	AVSS	A/D コンバータの GND 端子	72	62	G11	52	G11
C 端子	C	電源安定化容量端子	38	33	L2	23	L2

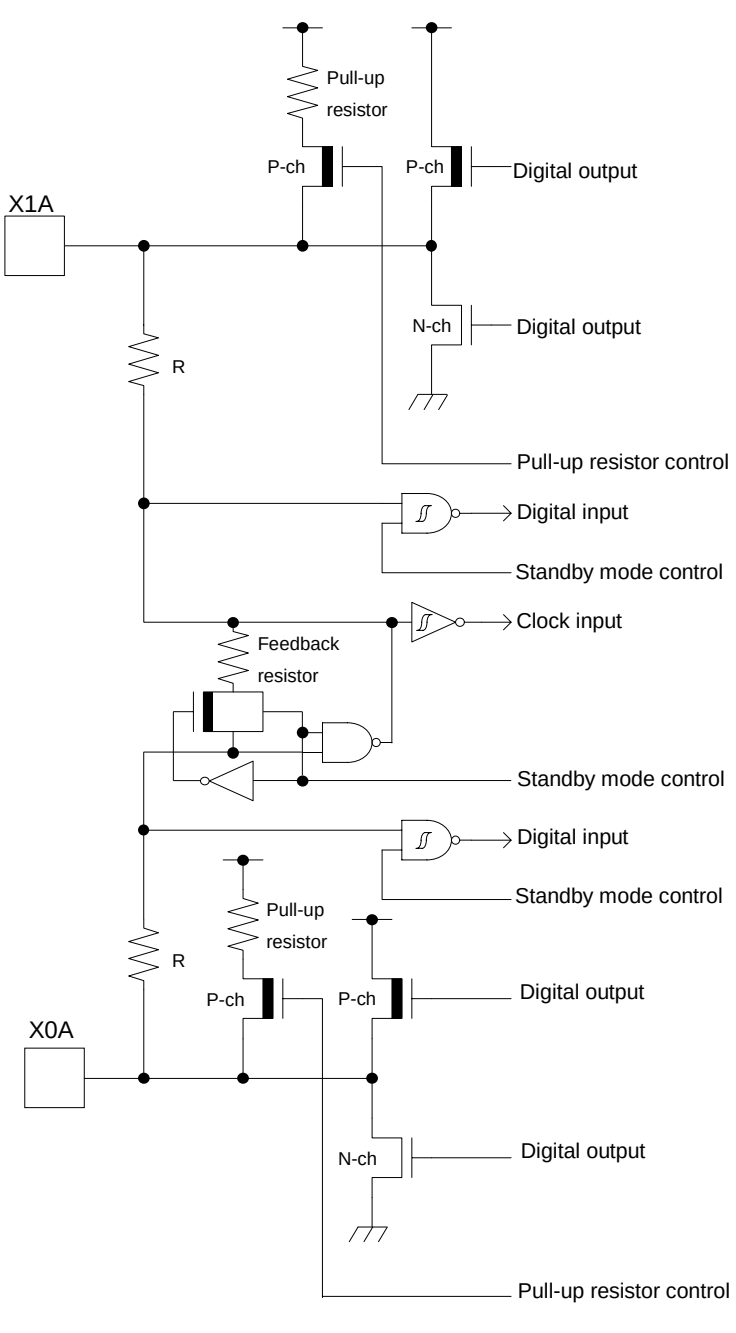
<注意事項>

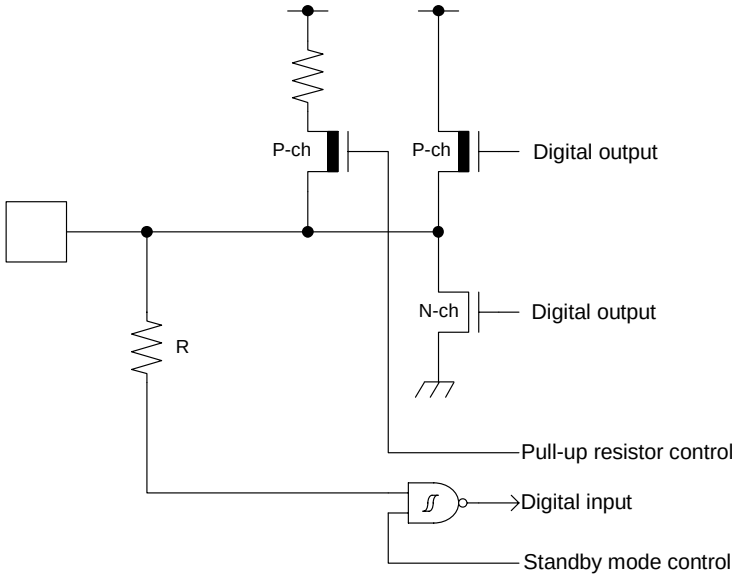
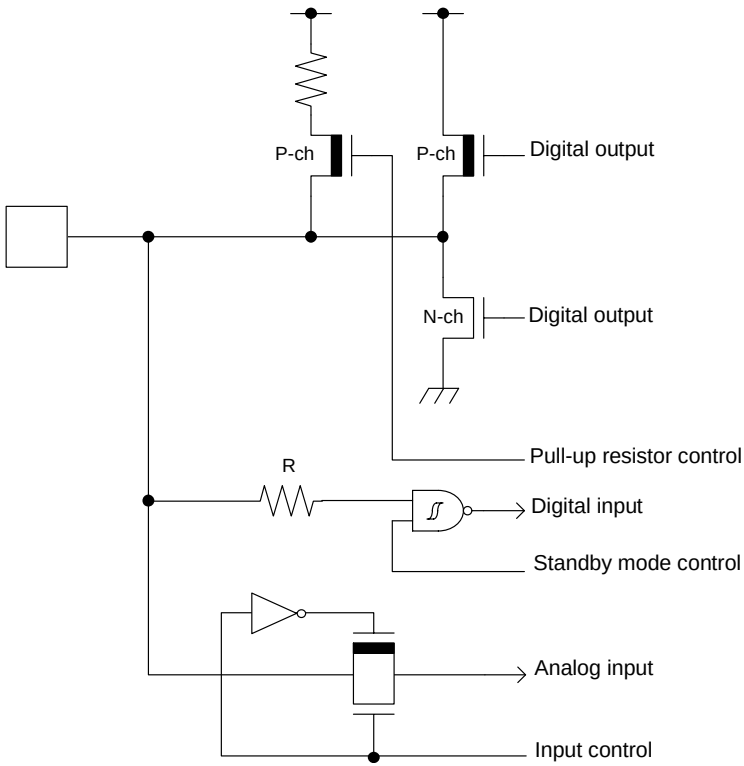
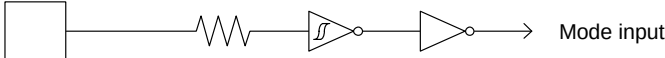
- このデバイスは IEEE 1149.1-2001 JTAG standard に準拠したテスト用端子(TAP)を持ちますが、全規格要求を満足するわけではありません。このデバイスは、異なる機能を持つほかのデバイス中の 32 ビットデバイス ID と同じデバイス ID を持つ場合があります。TAP 端子は TAP 制御以外の用途でも設定可能です。

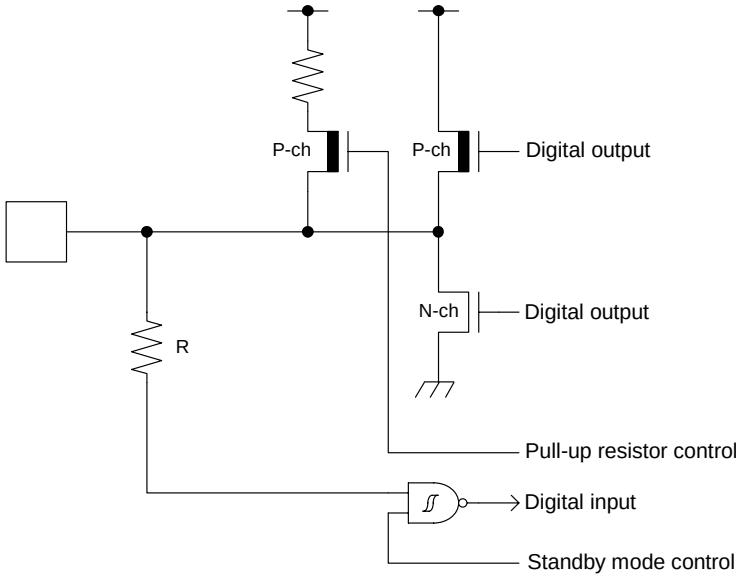
5. 入出力回路形式

分類	回路	備考
A	 The diagram illustrates the internal circuitry for input/output configuration A. It features two external pins, X1 and X0, each connected to a resistor R. X1 is connected to a pull-up resistor, a P-channel MOSFET (P-ch), and a feedback resistor. X0 is connected to a pull-up resistor, a P-channel MOSFET (P-ch), and an N-channel MOSFET (N-ch). The circuit includes digital inputs, digital outputs, a clock input, and standby mode control signals. A pull-up resistor control signal is also shown.	メイン発振/GPIO 切換え可能 メイン発振機能選択時 - 発振帰還抵抗: 約 1 MΩ - スタンバイ制御あり GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$

分類	回路	備考
B	 Pull-up resistor	- CMOS レベルヒステリシス入力 - プルアップ抵抗: 約 33 kΩ
C	 N-ch	- オープンドレイン出力 - CMOS レベルヒステリシス入力

分類	回路	備考
D	 The diagram illustrates the internal circuitry for pin D, which is configured as a bidirectional I/O pin. It features two input/output buffers, X1A and X0A, each with a pull-up resistor (R) and a feedback resistor. The circuit includes P-channel (P-ch) and N-channel (N-ch) MOSFETs for driving the pin. Various control signals are shown, including Digital input, Standby mode control, and Clock input. The pull-up resistor control is also indicated.	サブ発振/GPIO 切換え可能 サブ発振機能選択時 - 発振帰還抵抗: 約 5 MΩ - スタンバイ制御あり GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - I_{OH} = -4mA, I_{OL} = 4 mA

分類	回路	備考
E		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
F		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
G		- CMOS レベルヒステリシス入力

分類	回路	備考
H		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - 5V トレラント - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 33 kΩ - $I_{OH} = -4 \text{ mA}$, $I_{OL} = 4 \text{ mA}$ - PZR レジスタ制御可能 - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

■絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

■推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

■端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

■ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合（サイリスタ構造）が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

■安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

■フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

■用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

■リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法(ウェーブソルダーリング法)が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

■表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

■鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意ください。

■半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下、温度 5℃～30℃で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

■ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125℃/24 時間

■静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40%～70%RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。

このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

■電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グラウンドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグラウンドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

■電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10% 以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は $0.1V/\mu s$ 以下にしてください。

■水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグラウンドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグラウンドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

■サブクロック用水晶振動子について

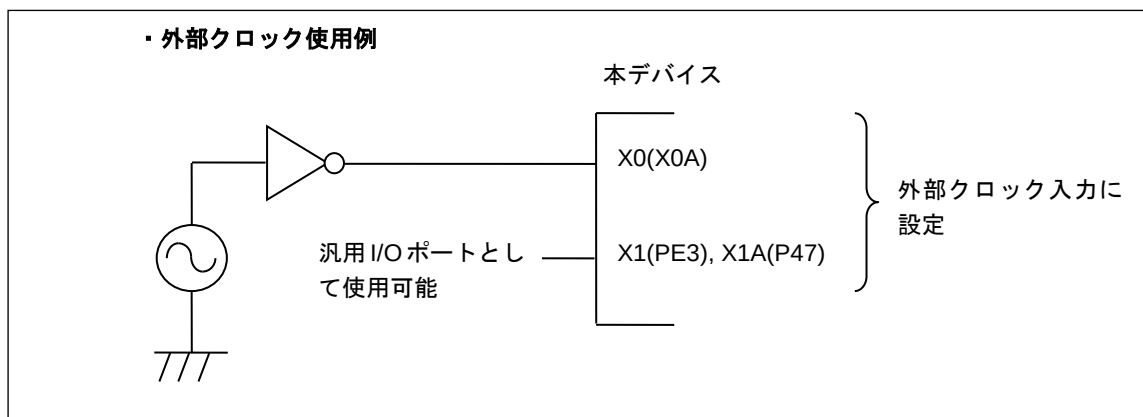
本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

- 表面実装タイプ
サイズ: 3.2 mm × 1.5 mm 以上
負荷容量: 6 pF ~ 7 pF 程度
- リードタイプ
負荷容量: 6 pF ~ 7 pF 程度

■外部クロック使用時の注意

メインクロックの入力として外部クロックを使用する場合は、X0/X1 端子を外部クロック入力に設定し、X0 端子にクロックを入力してください。X1(PE3)端子は汎用 I/O ポートとして使用できます。

同様にサブクロックの入力として外部クロックを使用する場合は、X0A/X1A 端子を外部クロック入力に設定し、X0A 端子にクロックを入力してください。X1A(P47)端子は汎用 I/O ポートとして使用できます。



■マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

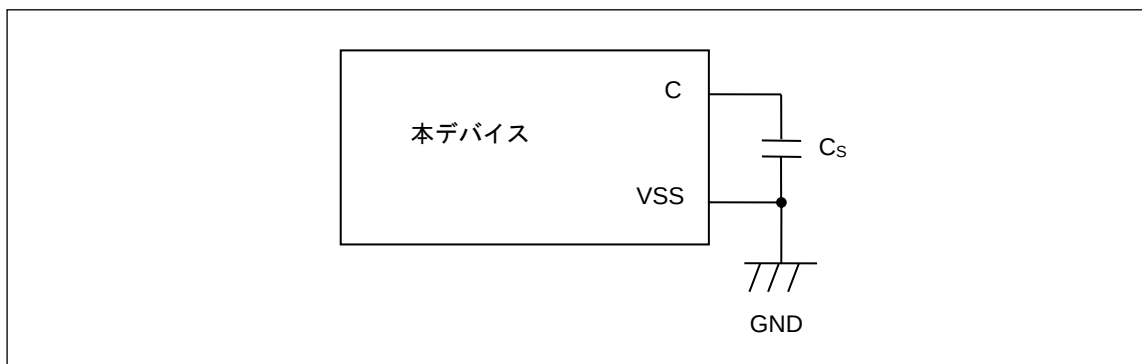
マルチファンクションシリアル端子を I²C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I²C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

■C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。

なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。

本シリーズでは 4.7 μ F 程度の平滑コンデンサを推奨します。



■モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

■電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。

なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時: VCC → AVCC → AVRH

切断時: AVRH → AVCC → VCC

■シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

■メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品の特性差について

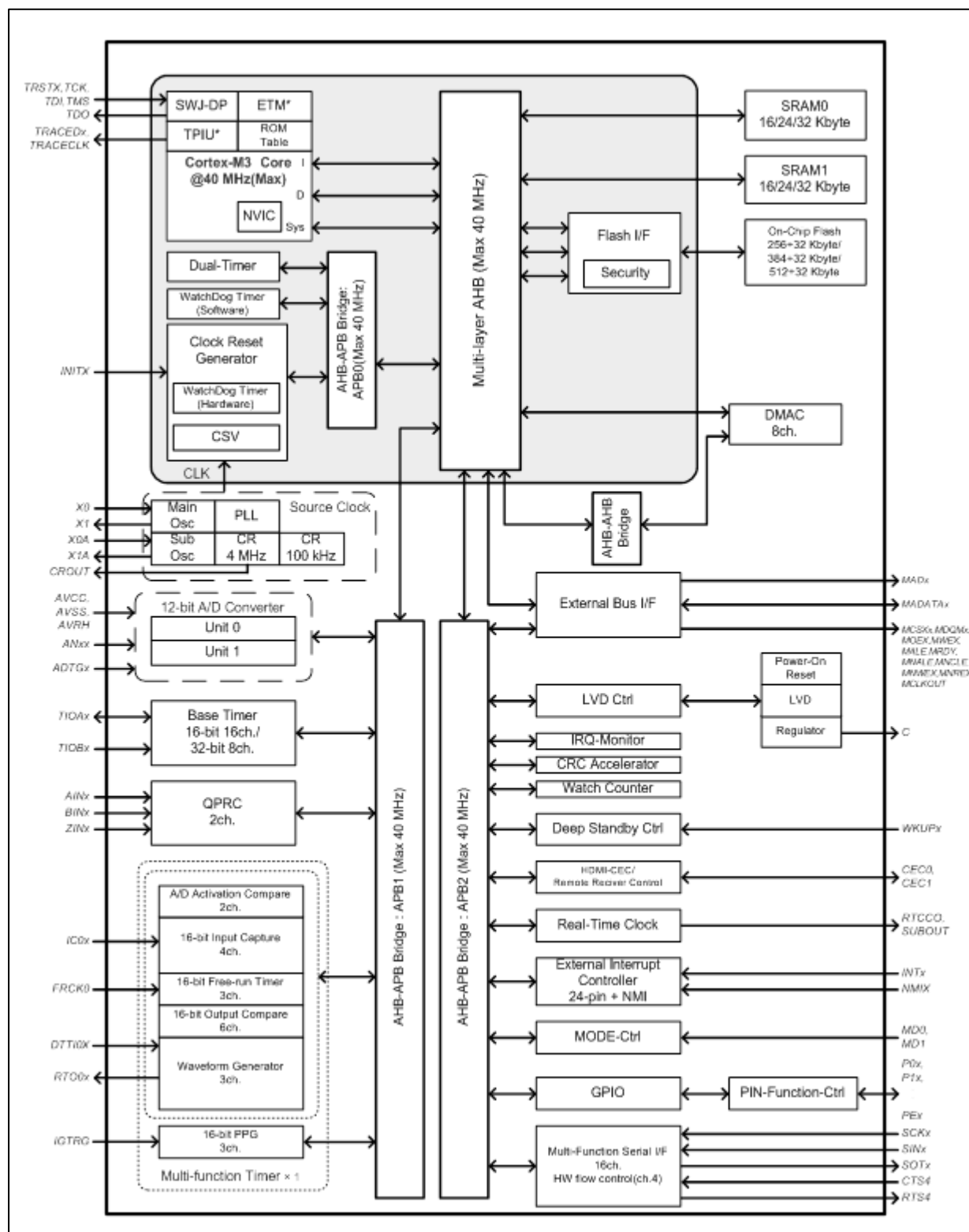
メモリサイズの異なる製品間およびフラッシュメモリ製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

■5V トレラント I/O のプルアップ機能について

5V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力しないでください。

8. ブロックダイヤグラム



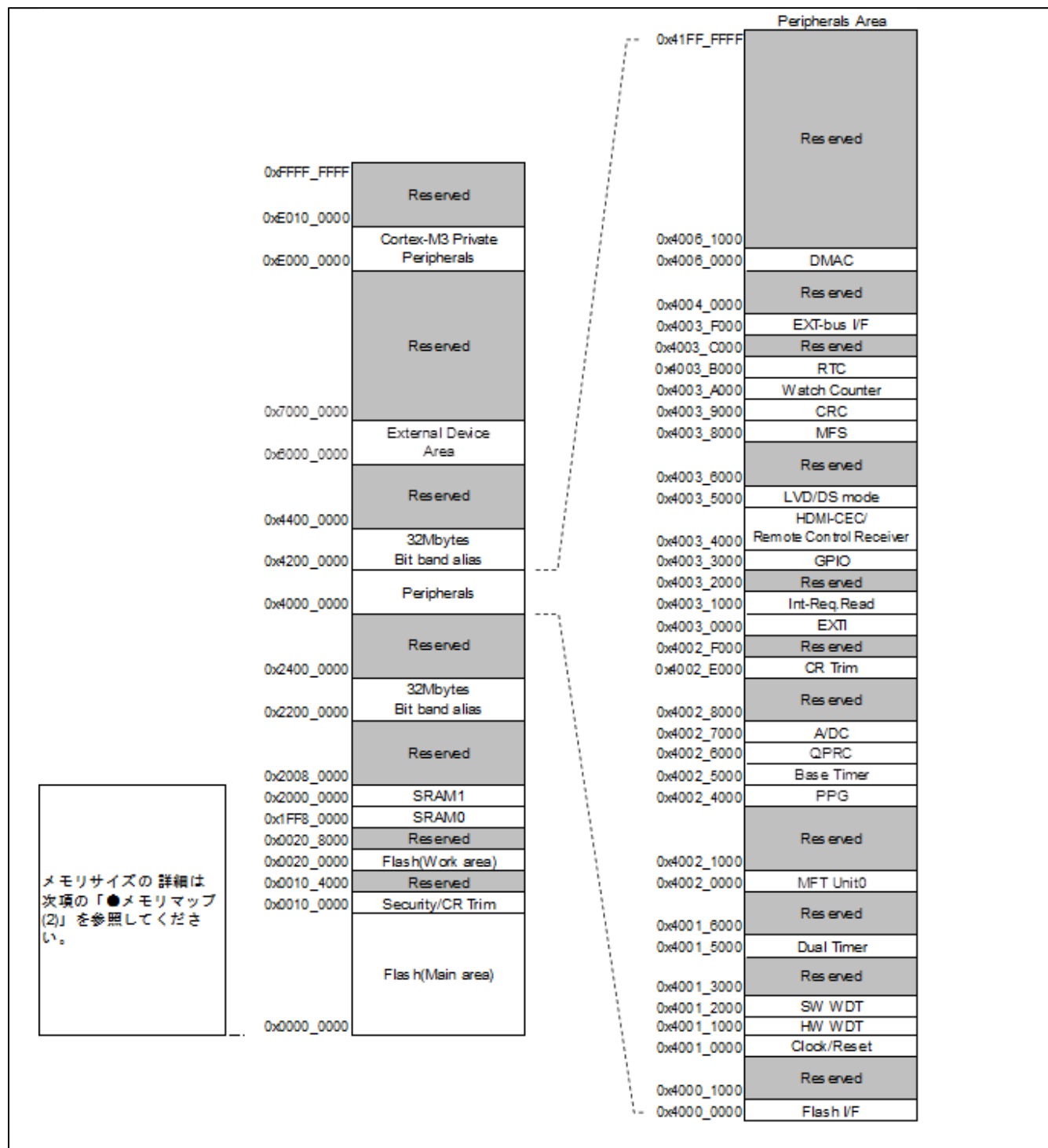
*: MB9AF154MB と MB9AF155MB, MB9AF156MB においては、ETM は使用できません。

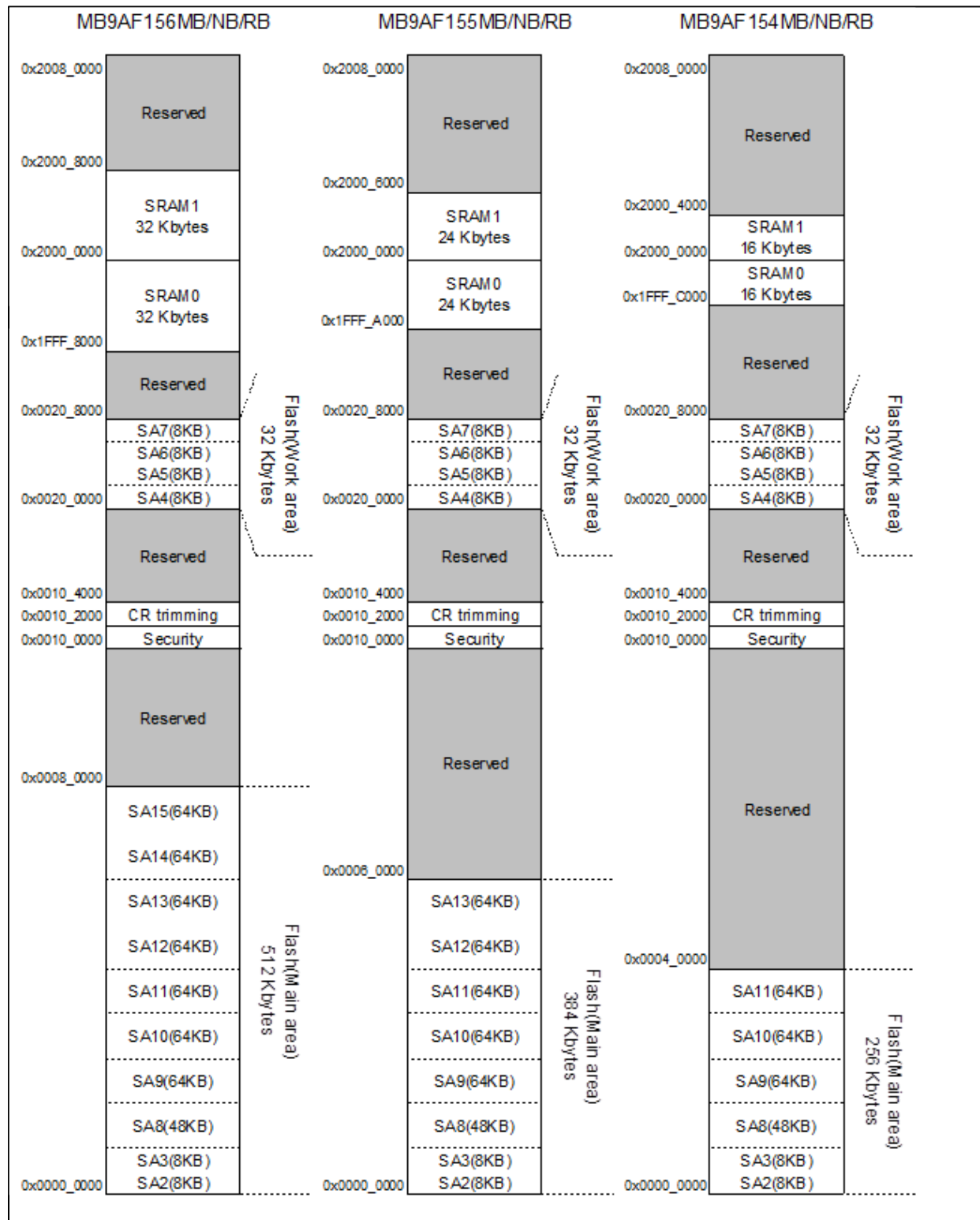
9. メモリサイズ

メモリサイズについては、「1.品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)



メモリマップ (2)


Flash(メイン領域)/Flash(ワーク領域)の詳細は、『MB9AB40N/A40N/340N/140N/150R/MB9B520M/320M/120M シリーズ フラッシュプログラミングマニュアル』を参照してください。

ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	フラッシュメモリ I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ unit0
0x4002_1000	0x4002_3FFF		予約
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		HDMI-CEC/リモコン受信
0x4003_5000	0x4003_57FF		低電圧検出
0x4003_5800	0x4003_5FFF		ディープスタンバイ制御部
0x4003_6000	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		RTC
0x4003_C000	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外部バス I/F
0x4004_0000	0x4005_FFFF	AHB	予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x41FF_FFFF		予約

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。

内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。

ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	メイン水晶 発振入力端子/ 外部メイン クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	外部メイン クロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持
	メイン水晶 発振出力端子	Hi-Z/ 内部入力 "0"固定 または 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*1)は Hi-Z/内部 入力 "0"固定
C	INITX 入力端子	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可	プルアップ/ 入力可
D	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
E	モード 入力端子	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 入力可	GPIO 選択	Hi-Z/ 入力可	GPIO 選択

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
F	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	サブ水晶 発振入力端子/ 外部サブ クロック入力 選択時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可
G	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	外部サブ クロック入力 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持	Hi-Z/ 内部入力 "0"固定	直前状態保持
	サブ水晶 発振出力端子	Hi-Z/ 内部入力 "0"固定 または 入力可	Hi-Z/ 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	直前状態保持	直前状態保持/ 発振停止時 (*2)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*2)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*2)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*2)は Hi-Z/内部 入力 "0"固定	直前状態保持/ 発振停止時 (*2)は Hi-Z//内部 入力 "0"固定
H	NMIX 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	上記以外の リソース選択 時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可						
	GPIO 選択時									
I	JTAG 選択時	Hi-Z	プルアップ/ 入力可	プルアップ/ 入力可	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持	直前状態保持
	リソース選択 時	設定不可	設定不可	設定不可			Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード 状態		ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態		ディープ スタンバイ モード 復帰直後 状態								
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定								
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1								
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-								
J	リソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択								
	GPIO 選択時																	
K	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択								
	上記以外のリソース選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定											
	GPIO 選択時																	
L	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可								
	上記以外のリソース選択時										設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定
	GPIO 選択時																	
M	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可								
	外部割込み許可選択時										設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持		
	上記以外のリソース選択時						GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択									
	GPIO 選択時																	

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード、RTCモードまたはストップモード状態		ディープスタンバイRTCモードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
N	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	トレース選択時						トレース 出力			
	上記以外のリソース選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	GPIO 選択時									
O	アナログ入力選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	トレース選択時						トレース 出力			
	外部割込み許可選択時						直前状態 保持			
	上記以外のリソース選択時									
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択

端子状態形式	グループ機能名	パワーオンリセット または 低電圧検出 状態	INITX 入力 状態	デバイス 内部 リセット 状態	ランモード または スリープ モード状態	タイマモード, RTC モード または ストップモード 状態		ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態		ディープ スタンバイ モード 復帰直後 状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
P	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	外部割込み 許可選択時							GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	上記以外の リソース選択 時									
	GPIO 選択時									
Q	CEC 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	WKUP 入力可	Hi-Z/ WKUP 入力可	GPIO 選択
	外部割込み 許可選択時							GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	
	上記以外の リソース選択 時									
	GPIO 選択時									
R	CEC 許可時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持
	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択 内部入力 "0"固定	Hi-Z/ 内部入力 "0"固定	GPIO 選択
	上記以外の リソース選択 時									
	GPIO 選択時									

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
S	WKUP 許可時							WKUP 入力可	Hi-Z/WKUP 入力可	
	外部割込み許可選択時	設定不可	設定不可	設定不可			直前状態保持			
	上記以外のリソース選択時				直前状態保持	直前状態保持		GPIO 選択内部入力 "0" 固定	Hi-Z/内部入力 "0" 固定	GPIO 選択
	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力 "0" 固定			

*1: サブタイマモード, 低速 CR タイマモード, ストップモード, RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードは発振が停止します。

*2: ストップモード, ディープスタンバイストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1,*2	V _{CC}	V _{SS} - 0.5	V _{SS} + 4.6	V	
アナログ電源電圧*1,*3	AV _{CC}	V _{SS} - 0.5	V _{SS} + 4.6	V	
アナログ基準電圧*1,*3	AV _{RH}	V _{SS} - 0.5	V _{SS} + 4.6	V	
入力電圧*1	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤4.6 V)	V	
		V _{SS} - 0.5	V _{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≤4.6 V)	V	
出力電圧*1	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤4.6 V)	V	
"L"レベル最大出力電流*4	I _{OL}	-	10	mA	
"L"レベル平均出力電流*5	I _{OLAV}	-	4	mA	
"L"レベル最大総出力電流	ΣI _{OL}	-	100	mA	
"L"レベル平均総出力電流*6	ΣI _{OLAV}	-	50	mA	
"H"レベル最大出力電流*4	I _{OH}	-	- 10	mA	
"H"レベル平均出力電流*5	I _{OHAV}	-	- 4	mA	
"H"レベル最大総出力電流	ΣI _{OH}	-	- 100	mA	
"H"レベル平均総出力電流*6	ΣI _{OHAV}	-	- 50	mA	
消費電力	P _D	-	300	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

*1: V_{SS} = AV_{SS} = 0.0 V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くならないでください。

*3: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

*4: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*5: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*6: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

<注意事項>

- 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

12.2 推奨動作条件

($V_{SS} = AV_{SS} = 0.0V$)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源電圧	V_{CC}	-	1.65*2	3.6	V	
アナログ電源電圧	AV_{CC}	-	1.65	3.6	V	$AV_{CC}=V_{CC}$
アナログ基準電圧	$AVRH$	-	2.7	AV_{CC}	V	$AV_{CC} \geq 2.7 V$
			AV_{CC}	AV_{CC}	V	$AV_{CC} < 2.7 V$
平滑コンデンサ容量	C_S	-	1	10	μF	内蔵レギュレータ用*1
動作温度	T_A	-	- 40	+ 85	$^{\circ}C$	

*1: 平滑コンデンサの接続方法は、「7.デバイス使用上の注意」の「C 端子について」を参照してください。

*2: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

<注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

12.3 直流規格

12.3.1 電流規格

($V_{CC} = AV_{CC} = 1.65V \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件		規格値		単位	備考
					標準*3	最大*4		
電源電流	Icc	VCC	PLL ランモード	CPU: 40 MHz, 周辺: 40 MHz	17.5	23.7	mA	*1, *5
				CPU: 40 MHz, 周辺:クロック停止 NOP 動作	8	11	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2	1.9	3.1	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz	120	810	μA	*1, *6
	低速 CR ランモード		CPU/周辺: 100 kHz	140	830	μA	*1	
	Iccs		PLL スリープモード	周辺: 40 MHz	11	15	mA	*1, *5
			高速 CR スリープモード	周辺: 4 MHz*2	0.82	1.7	mA	*1
			サブ スリープモード	周辺: 32 kHz	105	800	μA	*1, *6
			低速 CR スリープモード	周辺: 100 kHz	125	810	μA	*1

*1: 全ポート固定時

*2: トリミングにて 4 MHz に設定した場合

*3: $T_A = +25^{\circ}C$, $V_{CC} = 3.6V$

*4: $T_A = +85^{\circ}C$, $V_{CC} = 3.6V$

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

項目	記号	端子名	条件		規格値		単位	備考
					標準*2	最大*2		
電源電流	I _{CC} T	VCC	メイン タイマモード	T _A = + 25°C, LVD off 時	2.0	2.7	mA	*1, *3
				T _A = + 85°C, LVD off 時	-	3.2	mA	*1, *3
			サブ タイマモード	T _A = + 25°C, LVD off 時	15	45	μA	*1, *4
				T _A = + 85°C, LVD off 時	-	440	μA	*1, *4
	RTC モード		T _A = + 25°C, LVD off 時	13	40	μA	*1, *4	
			T _A = + 85°C, LVD off 時	-	380	μA	*1, *4	
	I _{CC} R		ストップ モード	T _A = + 25°C, LVD off 時	11	38	μA	*1
				T _A = + 85°C, LVD off 時	-	370	μA	*1
	I _{CC} H		ディープ スタンバイ RTC モード	T _A = + 25°C, LVD off 時, RAM 保持なし	2.0	12	μA	*1, *4, *5
				T _A = + 25°C, LVD off 時, RAM 保持あり	9.2	25	μA	*1, *4, *5
	T _A = + 85°C, LVD off 時, RAM 保持なし			-	125	μA	*1, *4, *5	
	T _A = + 85°C, LVD off 時, RAM 保持あり				195	μA	*1, *4, *5	
	I _{CC} RD		ディープ スタンバイ ストップ モード	T _A = + 25°C, LVD off 時, RAM 保持なし	1.4	10	μA	*1, *5
				T _A = + 25°C, LVD off 時, RAM 保持あり	8.6	23	μA	*1, *5
				T _A = + 85°C, LVD off 時, RAM 保持なし	-	120	μA	*1, *5
				T _A = + 85°C, LVD off 時, RAM 保持あり		190	μA	*1, *5

*1: 全ポート固定時

*2: V_{CC}=3.6 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

*5: RAM 保持設定はオンチップ SRAM のみに適用

低電圧検出回路(LVD)電流
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路 (LVD) 電源電流	I _{CCLVD}	VCC	リセット発生用 動作時 V _{CC} = 3.6 V	0.13	0.3	μA	未検出時
			割込み発生用 動作時 V _{CC} = 3.6 V	0.13	0.3	μA	未検出時

フラッシュメモリ電流
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ 書込み/消去電流	I _{CCFLASH}	VCC	書込み/消去時	9.5	11.2	mA	*

*: フラッシュメモリへ書込みまたは消去するときは、電源電流(I_{CC})にフラッシュメモリ書込み/消去電流(I_{CCFLASH})が加算されます。

A/D コンバータ電流
 $(V_{CC} = AV_{CC} = 1.65V \sim 3.6V, V_{SS} = AV_{SS} = AV_{RL} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I _{CCAD}	AVCC	A/D 1unit 動作時	0.27	0.42	mA	
			A/D 停止時	0.03	10	μA	
基準電源電流	I _{CCAVRH}	AVRH	A/D 1unit 動作時 AVRH=3.6 V	0.72	1.29	mA	
			A/D 停止時	0.02	2.6	μA	

12.3.2 端子特性
 $(V_{CC} = AV_{CC} = 1.65V \sim 3.6V, V_{SS} = AV_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル 入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス 入力端子, MD0, MD1	$V_{CC} \geq 2.7V$	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
			$V_{CC} < 2.7V$	$V_{CC} \times 0.7$				
		5Vトレ ラント 入力端子	$V_{CC} \geq 2.7V$	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
			$V_{CC} < 2.7V$	$V_{CC} \times 0.7$				
"L"レベル 入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス 入力端子, MD0, MD1	$V_{CC} \geq 2.7V$	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
			$V_{CC} < 2.7V$			$V_{CC} \times 0.3$		
		5Vトレ ラント 入力端子	$V_{CC} \geq 2.7V$	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
			$V_{CC} < 2.7V$			$V_{CC} \times 0.3$		
"H"レベル 出力電圧	V_{OH}	4mA タイプ	$V_{CC} \geq 2.7V$, $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 2.7V$, $I_{OH} = -2mA$	$V_{CC} - 0.45$				
"L"レベル 出力電圧	V_{OL}	4mA タイプ	$V_{CC} \geq 2.7V$, $I_{OL} = 4mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 2.7V$, $I_{OL} = 2mA$					
入力リーク 電流	I_{IL}	-	-	-5	-	+5	μA	
		CEC0_0, CEC0_1, CEC1_0, CEC1_1	$V_{CC} = AV_{CC} =$ $AVRH = V_{SS} =$ $AV_{SS} = 0.0V$	-	-	+1.8	μA	
プルアップ 抵抗値	R_{PU}	プルアップ 端子	$V_{CC} \geq 2.7V$	21	33	66	k Ω	
			$V_{CC} < 2.7V$	-	-	134		
入力容量	C_{IN}	VCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

12.4 交流規格

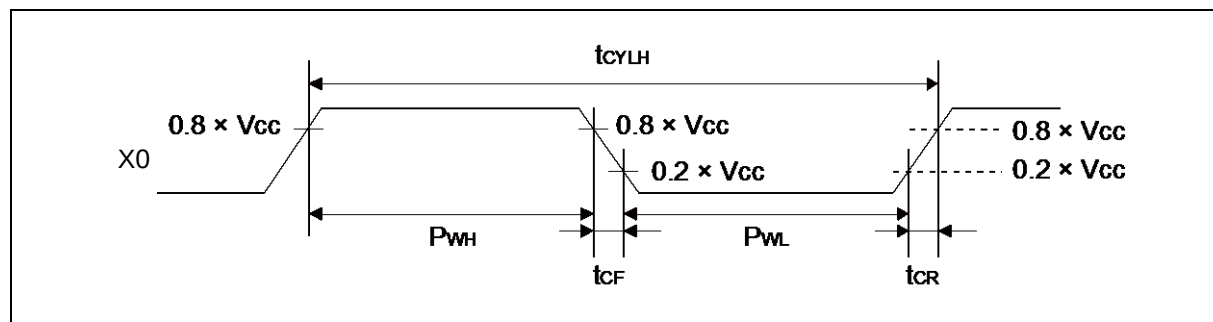
12.4.1 メインクロック入力規格

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CH}	X0, X1	$V_{CC} \geq 2.7V$	4	48	MHz	水晶振動子接続時
			$V_{CC} < 2.7V$	4	20		
			-	4	48	MHz	外部クロック時
入力クロック周期	t_{CYLH}		-	20.83	250	ns	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック立上り, 立下り時間	t_{CF} , t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック*1 周波数	f_{CM}	-	-	-	40	MHz	マスタクロック
	f_{CC}	-	-	-	40	MHz	ベースクロック(HCLK/FCLK)
	f_{CP0}	-	-	-	40	MHz	APB0 バスクロック*2
	f_{CP1}	-	-	-	40	MHz	APB1 バスクロック*2
	f_{CP2}	-	-	-	40	MHz	APB2 バスクロック*2
内部動作クロック*1 サイクル時間	t_{CYCC}	-	-	25	-	ns	ベースクロック(HCLK/FCLK)
	t_{CYCP0}	-	-	25	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	25	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	25	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

*2: 各ペリフェラルが接続されている APB バスについては「8.ブロックダイアグラム」を参照してください。

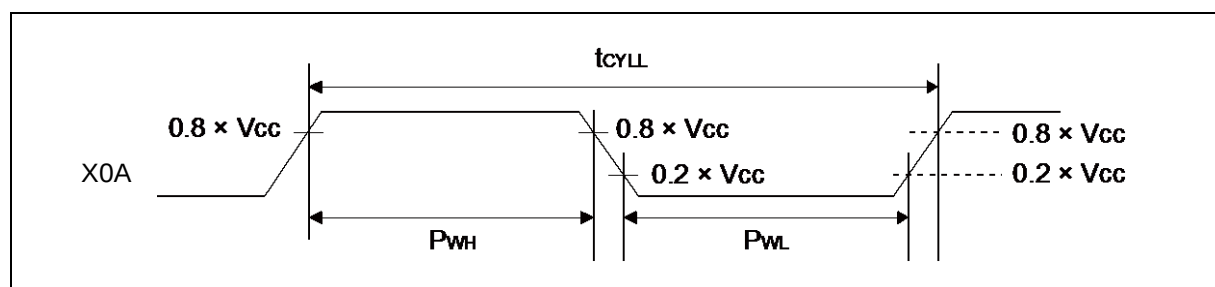


12.4.2 サブクロック入力規格

 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	f_{CL}	X0A, X1A	-	-	32.768	-	kHz	水晶振動子 接続時*
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		$P_{WH}/t_{CYLL},$ P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時

*: ご使用する水晶振動子については、「7.デバイス使用上の注意」の「サブクロック用水晶振動子について」を参照してください。



12.4.3 内蔵CR 発振規格

内蔵高速 CR

 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	$T_A = +25^{\circ}C,$ $V_{CC} \geq 2.7V$	3.94	4	4.06	MHz	トリミング時*1
		$T_A = -20^{\circ}C \sim +85^{\circ}C,$ $V_{CC} \geq 2.7V$	3.92	4	4.08		
		$T_A = -40^{\circ}C \sim +85^{\circ}C,$ $V_{CC} \geq 2.7V$	3.88	4	4.12		
		$T_A = +25^{\circ}C,$ $V_{CC} < 2.7V$	3.9	4	4.1		
		$T_A = -40^{\circ}C \sim +85^{\circ}C,$ $V_{CC} < 2.7V$	3.66	4	4.20		
		$T_A = -40^{\circ}C \sim +85^{\circ}C$	2.8	4	5.2	MHz	非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.4 メイン PLL の使用条件(PLL の入力クロックにメインクロックを選択した場合)

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	4	-	16	MHz	
PLL 通倍率	-	5	-	37	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	75	-	150	MHz	
メイン PLL クロック周波数*2	f _{CLKPLL}	-	-	40	MHz	

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

12.4.5 メイン PLL の使用条件(メイン PLL の入力クロックに内蔵高速 CR を選択した場合)

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t _{LOCK}	100	-	-	μs	
PLL 入力クロック周波数	f _{PLLI}	3.8	4	4.2	MHz	
PLL 通倍率	-	19	-	35	通倍	
PLL マクロ発振クロック周波数	f _{PLLO}	72	-	150	MHz	
メイン PLL クロック周波数*2	f _{CLKPLL}	-	-	40	MHz	

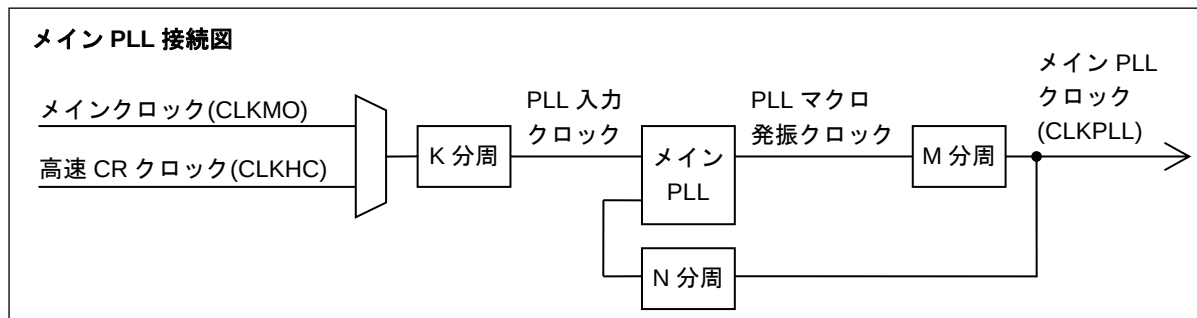
*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1:クロック』を参照してください。

<注意事項>

- メイン PLL のソースクロックには、必ず周波数トリミングおよび温度トリミングを行った高速 CR クロック(CLKHC)を入力してください。
PLL 通倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。

メイン PLL 接続図



12.4.6 リセット入力規格

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミグ

($V_{SS} = 0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$)

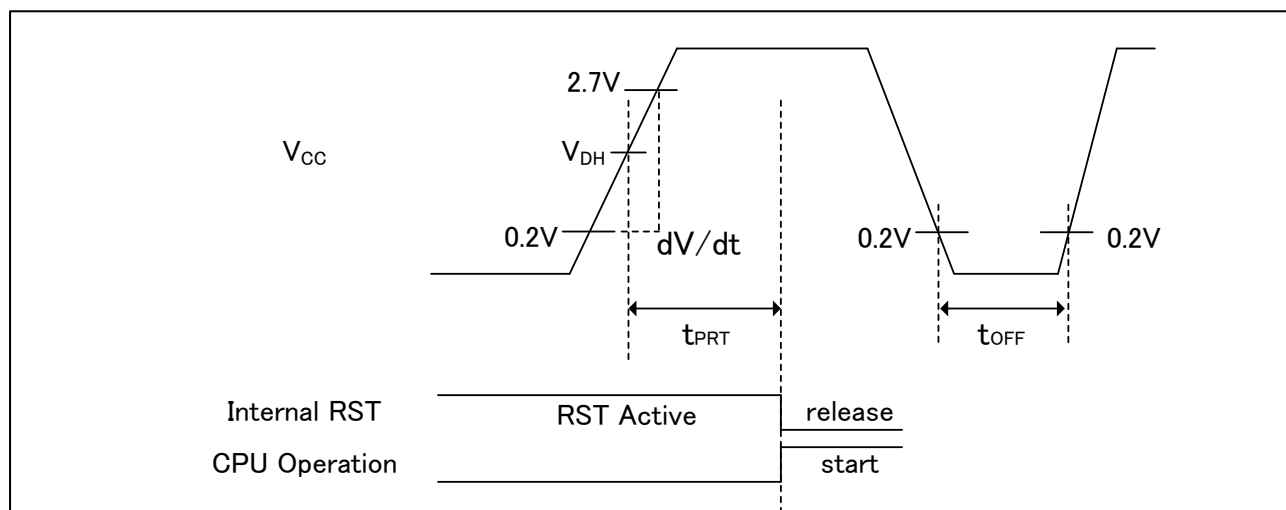
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	1	-	-	ms	*1
電源立上り速度	dV/dt		$V_{CC}: 0.2V \sim 2.70V$	0.9	-	1000	mV/us	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.446	-	0.744	ms	

*1: V_{CC} は t_{OFF} 最小期間中 $0.2V$ 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start($t_{OFF} > 1ms$)のパワーオン時に適用されます。

<注意事項>

- もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12. 4. 6. に従い外部リセット (INITX) を入れて下さい。



用語解説

V_{DH} : 低電圧検出リセット解除電圧「12.6. 低電圧検出特性」を参照してください。

12.4.8 外バスタイミング

外バスクロック出力規格

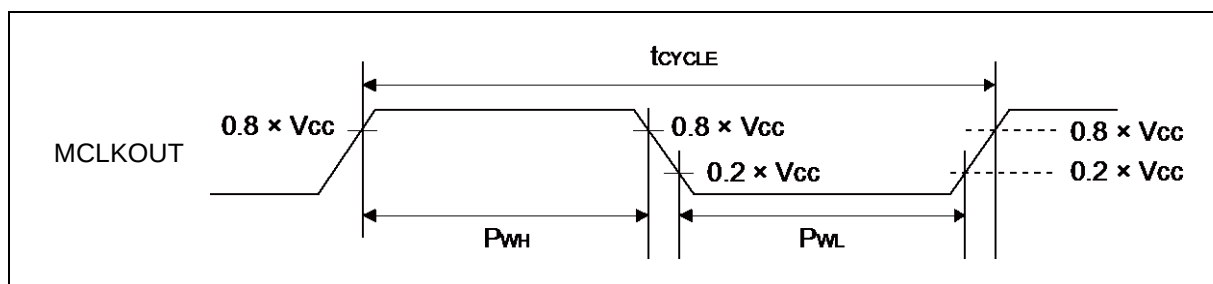
($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{CYCLE}	MCLKOUT*	$V_{CC} \geq 2.7V$	-	40	MHz
			$V_{CC} < 2.7V$	-	20	MHz

*: 外バスクロック出力(MCLKOUT)はHCLKの分周クロックです。

設定の詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 12: 外部バスインタフェース』を参照してください。

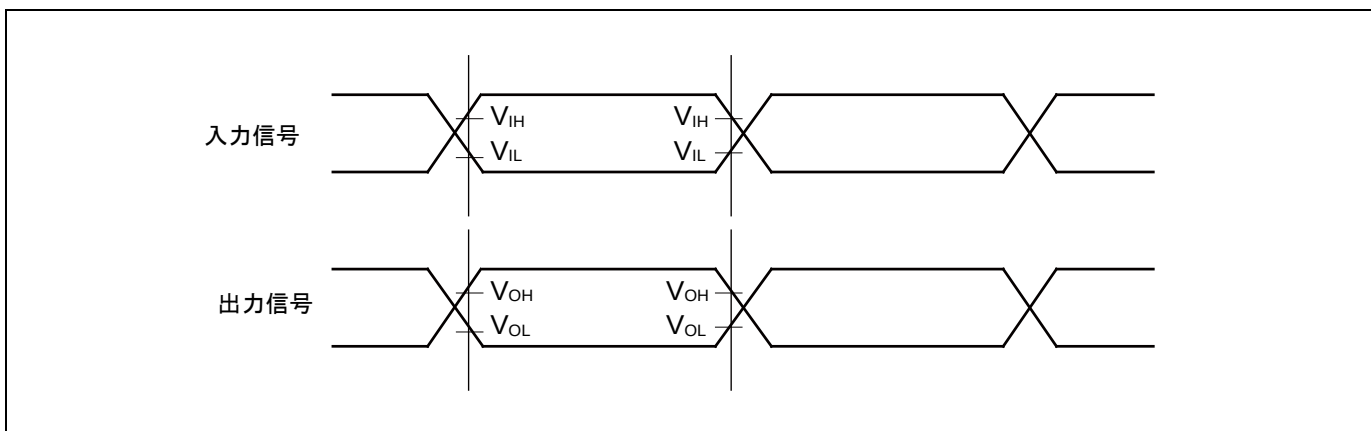
外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。



外バス信号入出力規格

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号出力規格	V_{OH}	-	$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	



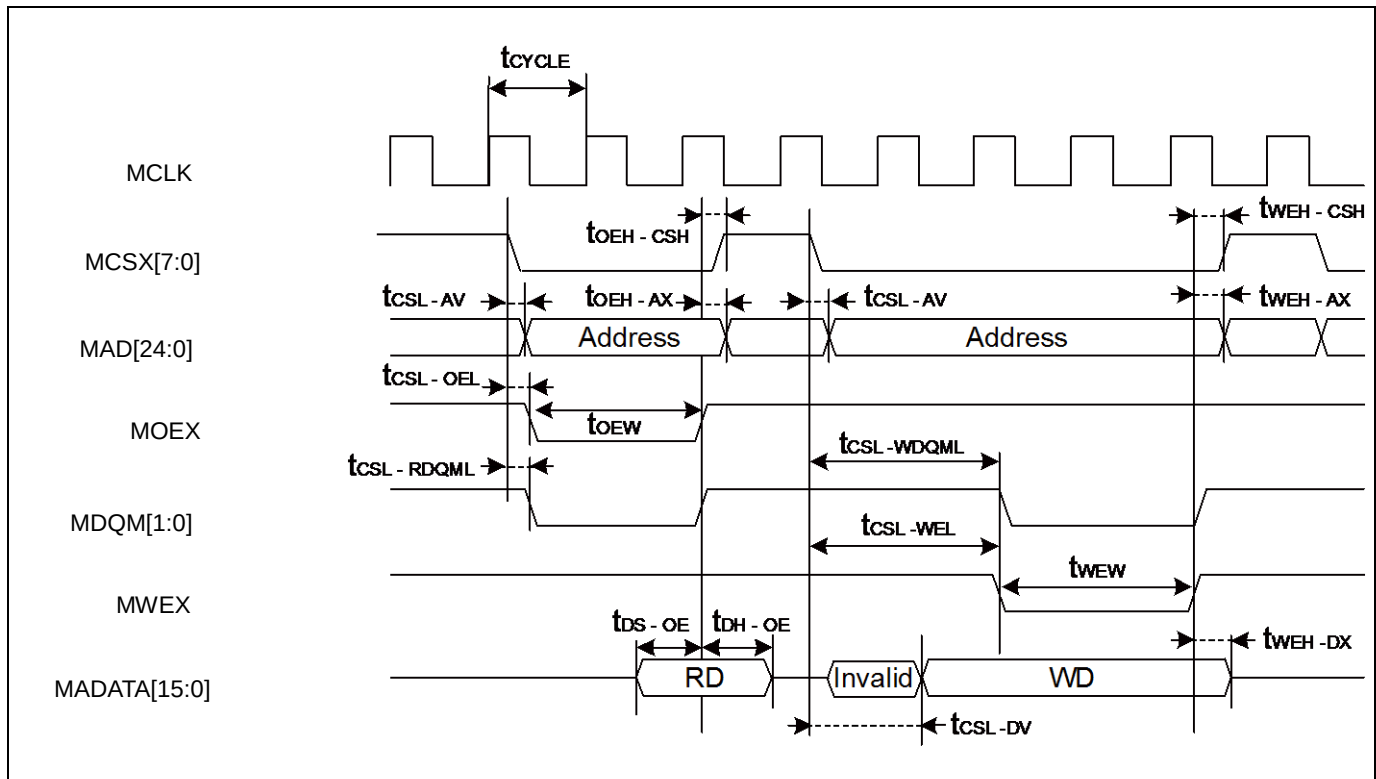
セパレートバスアクセス 非同期 SRAM モード

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	t _{OE} W	MOEX	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×n-3	-	ns
MCSX↓→アドレス 出力遅延時間	t _{CSL} - AV	MCSX[7:0], MAD[24:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	-9 -12	+9 +12	ns
MOEX↑→アドレス ホールド時間	t _{OE} H - AX	MOEX, MAD[24:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX↓→ MOEX↓遅延時間	t _{CSL} - OEL	MOEX, MCSX[7:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
MOEX↑→ MCSX↑時間	t _{OE} H - CSH		V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX↓→MDQM↓ 遅延時間	t _{CSL} - RDQML	MCSX, MDQM[1:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×m-9 MCLK×m-12	MCLK×m+9 MCLK×m+12	ns
データセットアップ →MOEX↑時間	t _{DS} - OE	MOEX, MADATA[15:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	20 38	- -	ns
MOEX↑→ データホールド時間	t _{DH} - OE	MOEX, MADATA[15:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	-	ns
MWEX 最小パルス幅	t _{WE} W	MWEX	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×n-3	-	ns
MWEX↑→アドレス 出力遅延時間	t _{WE} H - AX	MWEX, MAD[24:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX↓→MWEX↓ 遅延時間	t _{CSL} - WEL	MWEX, MCSX[7:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×n-9 MCLK×n-12	MCLK×n+9 MCLK×n+12	ns
MWEX↑→MCSX↑ 遅延時間	t _{WE} H - CSH		V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	MCLK×m+9 MCLK×m+12	ns
MCSX↓→MDQM↓ 遅延時間	t _{CSL} - WDQML	MCSX, MDQM[1:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK×n-9 MCLK×n-12	MCLK×n+9 MCLK×n+12	ns
MCSX↓→ データ出力時間	t _{CSL} - DV	MCSX, MADATA[15:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	MCLK-9 MCLK-12	MCLK+9 MCLK+12	ns
MWEX↑→ データホールド時間	t _{WE} H - DX	MWEX, MADATA[15:0]	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	0	MCLK×m+9 MCLK×m+12	ns

<注意事項>

- 外部負荷容量 C_L = 30pF 時 (m=0 ~ 15, n=1 ~ 16)



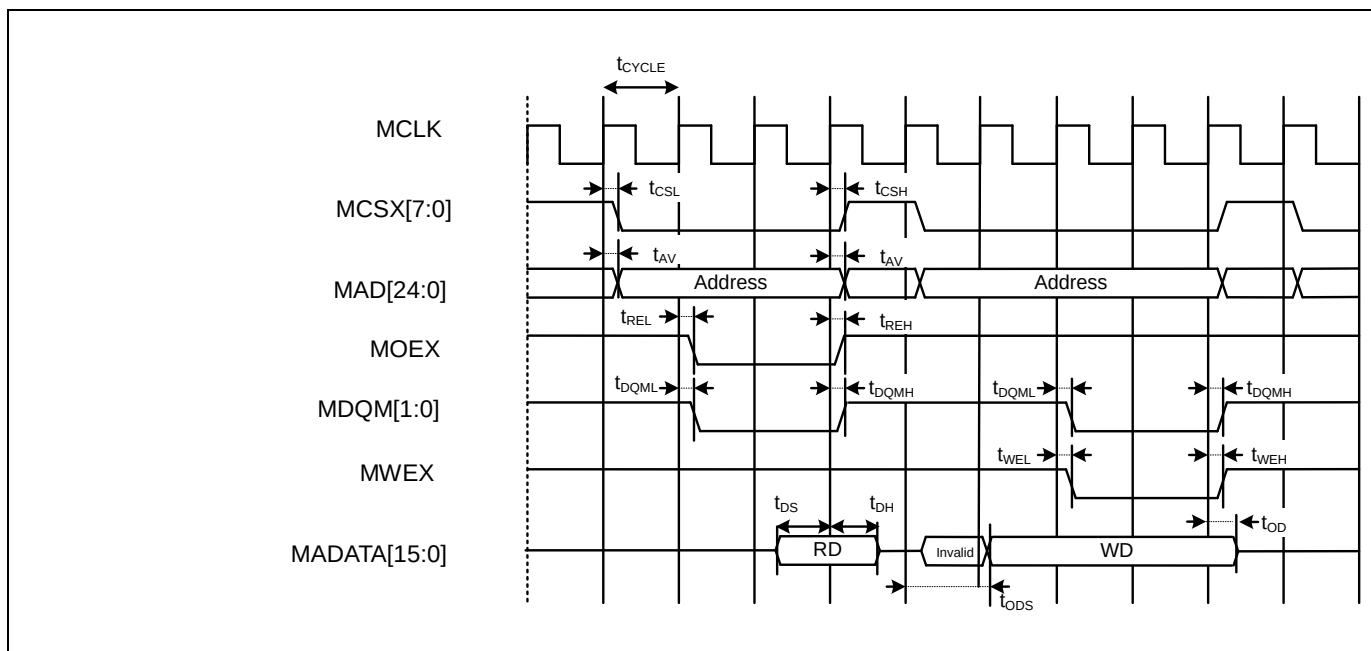
セパレートバスアクセス 同期 SRAM モード

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
アドレス遅延時間	t _{AV}	MCLK, MAD[24:0]	V _{CC} ≥2.7 V V _{CC} <2.7 V	1	9 12	ns
MCSX 遅延時間	t _{CSL}	MCLK, MCSX[7:0]	V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
	t _{CSH}		V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
MOEX 遅延時間	t _{REL}	MCLK, MOEX	V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
	t _{REH}		V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
データセットアップ →MCLK↑時間	t _{DS}	MCLK, MADATA[15:0]	V _{CC} ≥2.7 V	19	-	ns
V _{CC} <2.7 V			37			
MCLK↑→ データホールド時間	t _{DH}	MCLK, MADATA[15:0]	V _{CC} ≥2.7 V	0	-	ns
V _{CC} <2.7 V						
MWEX 遅延時間	t _{WEL}	MCLK, MWEX	V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
	t _{WEH}		V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
MDQM[1:0] 遅延時間	t _{DQML}	MCLK, MDQM[1:0]	V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
	t _{DQMH}		V _{CC} ≥2.7 V	1	9	ns
			V _{CC} <2.7 V		12	
MCLK↑→ データ出力時間	t _{ODS}	MCLK, MADATA[15:0]	V _{CC} ≥2.7 V	MCLK+1	MCLK+18	ns
			V _{CC} <2.7 V		MCLK+24	
MCLK↑→ データホールド時間	t _{OD}	MCLK, MADATA[15:0]	V _{CC} ≥2.7 V	1	18	ns
			V _{CC} <2.7 V		24	

<注意事項>

- 外部負荷容量 C_L = 30pF 時

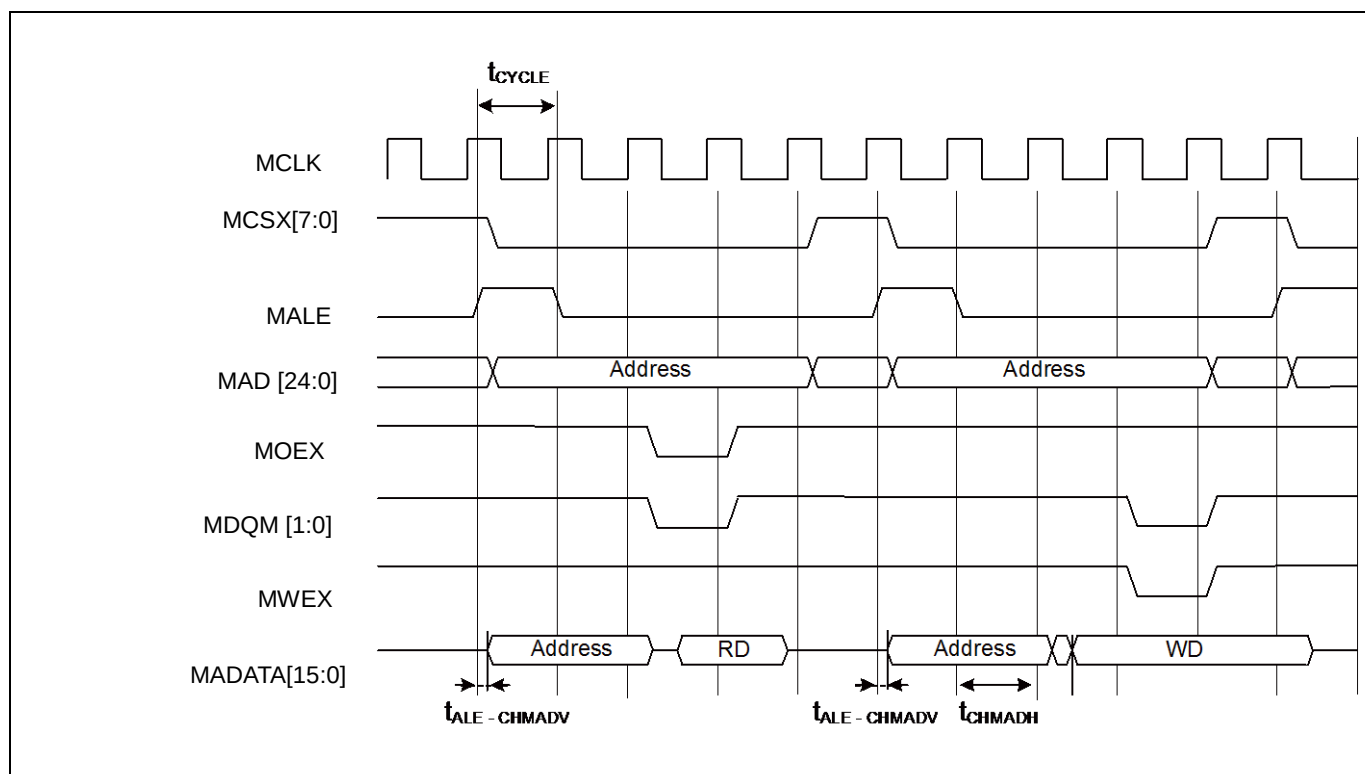


マルチプレクスバスアクセス 非同期 SRAM モード
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マルチプレクス アドレス遅延時間	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{CC} \geq 2.7V$	0	+10	ns
			$V_{CC} < 2.7V$		+20	
マルチプレクス アドレスホールド 時間	t_{CHMADH}	MALE, MADATA[15:0]	$V_{CC} \geq 2.7V$	$MCLK \times n + 0$	$MCLK \times n + 10$	ns
			$V_{CC} < 2.7V$	$MCLK \times n + 0$	$MCLK \times n + 20$	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時 ($m=0 \sim 15, n=1 \sim 16$)

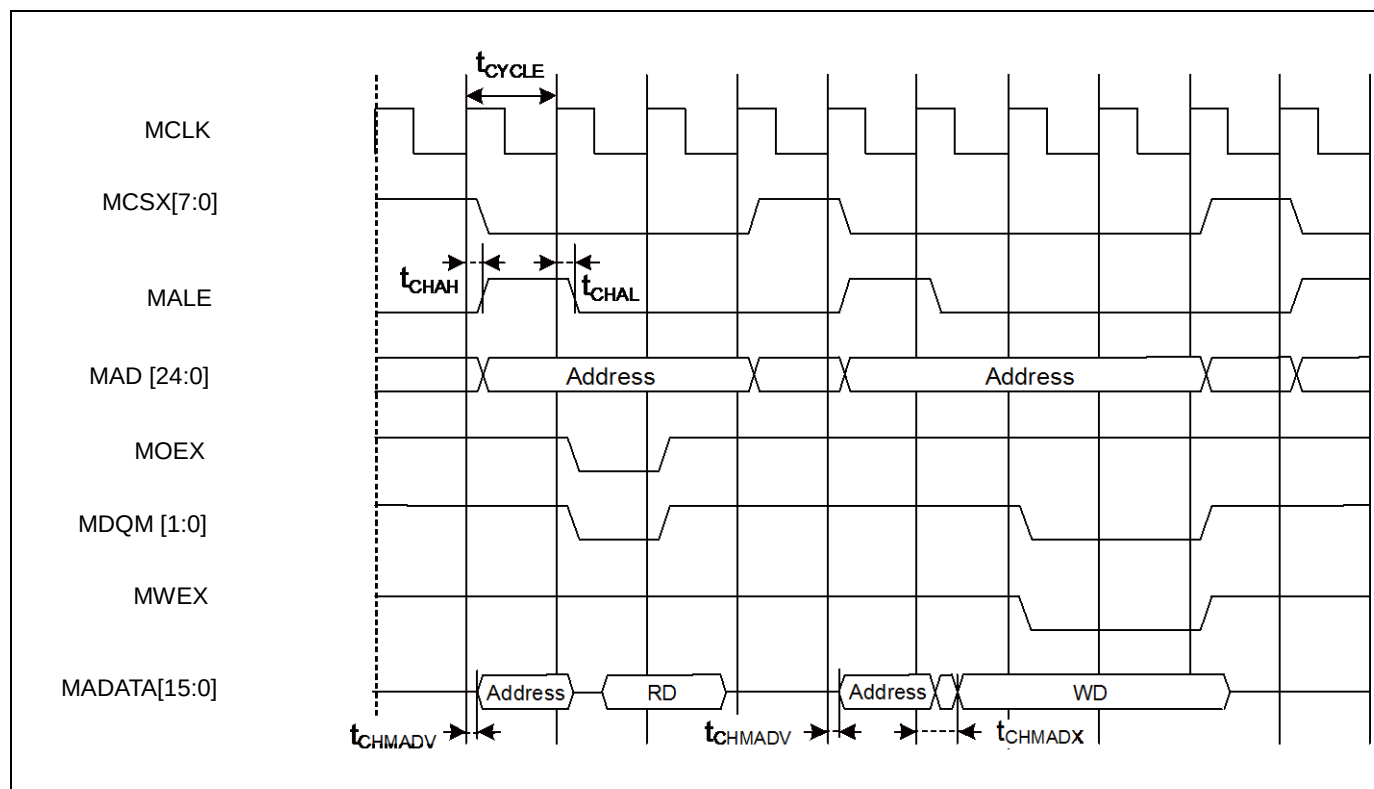


マルチプレクスバスアクセス 同期 SRAM モード
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	tCHAL	MCLK, ALE	V _{CC} ≧2.7 V	1	9	ns	
			V _{CC} <2.7 V		12	ns	
	tCHAH		V _{CC} ≧2.7 V	1	9	ns	
			V _{CC} <2.7 V		12	ns	
MCLK ↑→ マルチプレクス アドレス遅延時間	tCHMADV	MCLK, MADATA[15:0]	V _{CC} ≧2.7 V	1	t _{OD}	ns	
	V _{CC} <2.7 V						
MCLK ↑→ マルチプレクス データ出力時間	tCHMADX		V _{CC} ≧2.7 V	1	t _{OD}	ns	
			V _{CC} <2.7 V				

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時

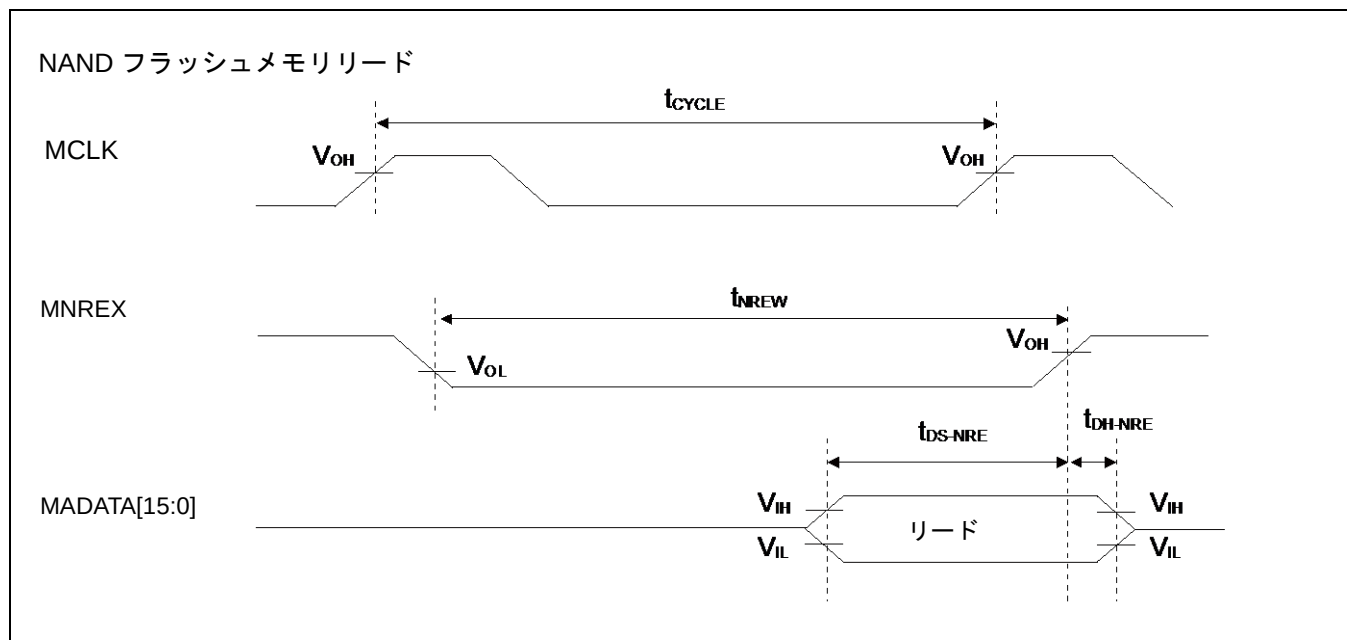


NAND フラッシュメモリモード
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

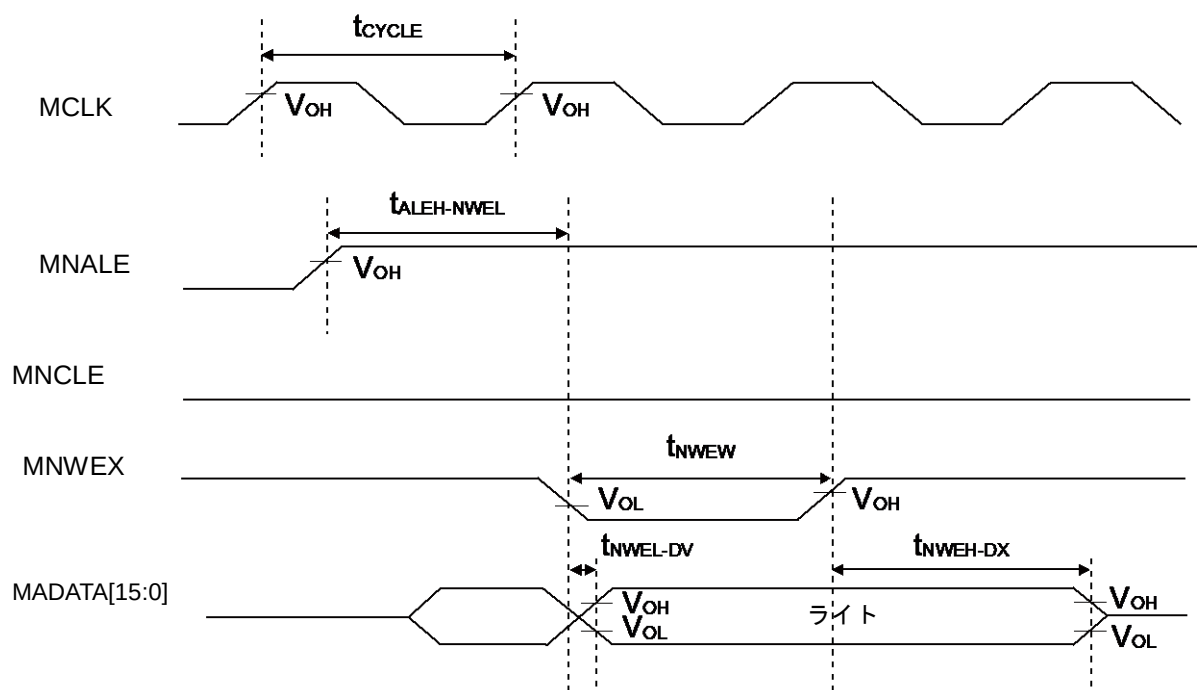
項目	記号	端子名	条件	規格値		単位
				最小	最大	
MNREX 最小パルス幅	t_{NREW}	MNREX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	$MCLK \times n - 3$	-	ns
データセットアップ →MNREX↑時間	t_{DS-NRE}	MNREX MADATA[15:0]	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	20 38	- -	ns
MNREX↑→ データホールド時間	t_{DH-NRE}	MNREX MADATA[15:0]	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	0	-	ns
MNALE↑→ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE MNWEX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNALE↓→ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE MNWEX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNCLE↑→ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE MNWEX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	$MCLK \times m - 9$ $MCLK \times m - 12$	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX↑→ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE MNWEX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns
MNWEX 最小パルス幅	t_{NWEW}	MNWEX	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	$MCLK \times n - 3$	-	ns
MNWEX↓→ データ出力時間	$t_{NWEH-DV}$	MNWEX MADATA[15:0]	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	-9 -12	+9 +12	ns
MNWEX↑→ データホールド時間	$t_{NWEH-DX}$	MNWEX MADATA[15:0]	$V_{CC} \geq 2.7V$ $V_{CC} < 2.7V$	0	$MCLK \times m + 9$ $MCLK \times m + 12$	ns

<注意事項>

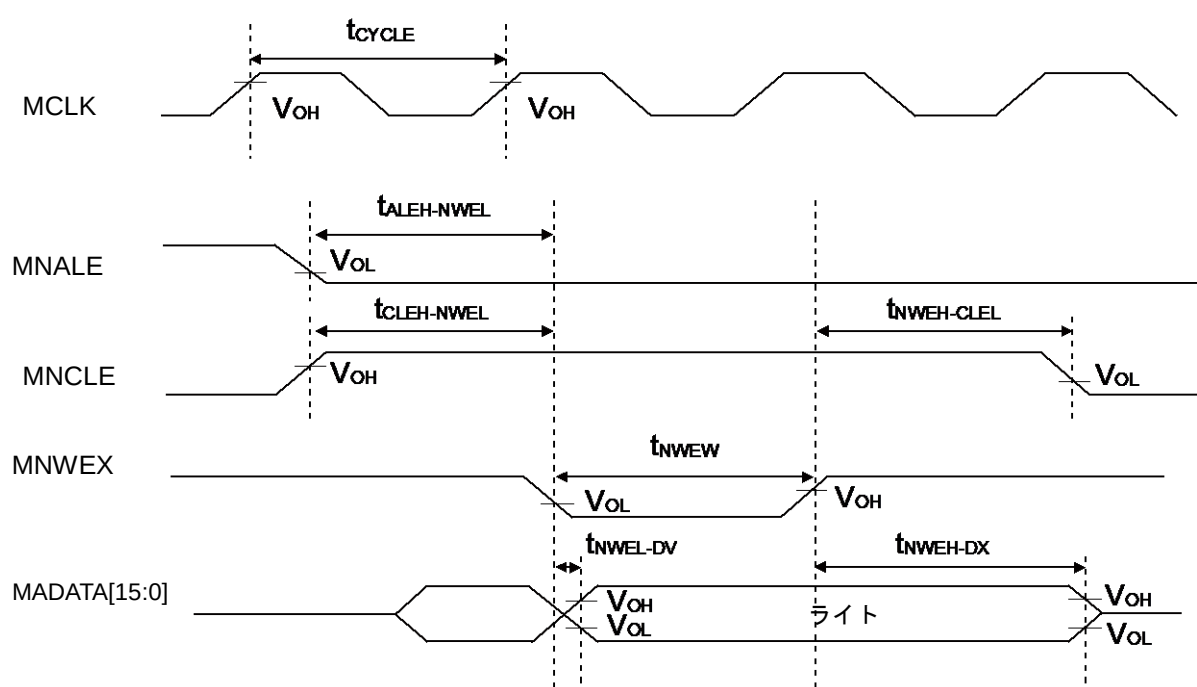
- 外部負荷容量 $C_L = 30pF$ 時 ($m=0 \sim 15, n=1 \sim 16$)



NAND フラッシュメモリアドレスライト

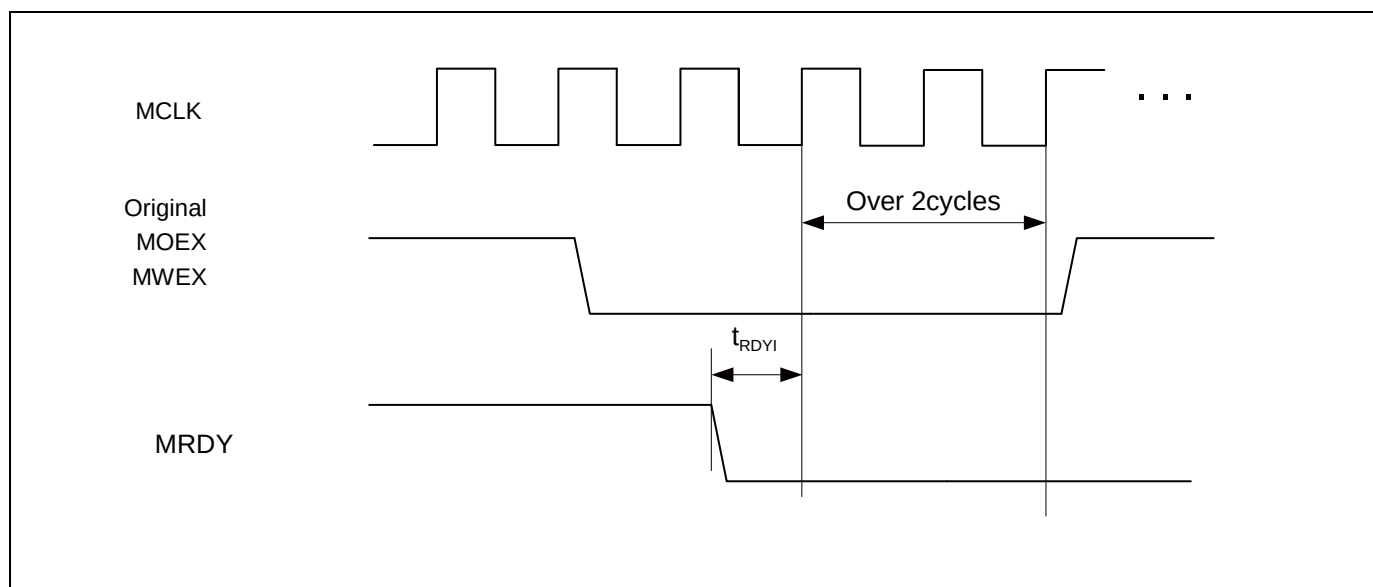
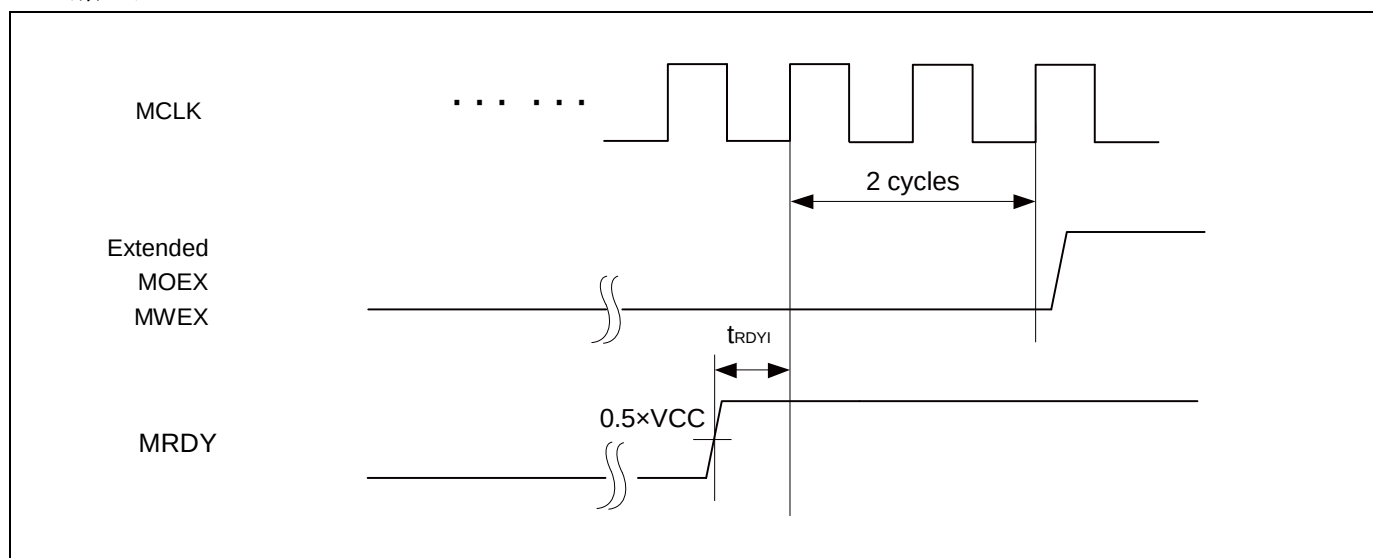


NAND フラッシュメモリコマンドライト



外部 RDY 入力タイミング
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK, MRDY	$V_{CC} \geq 2.7V$	19	-	ns	
			$V_{CC} < 2.7V$	37			

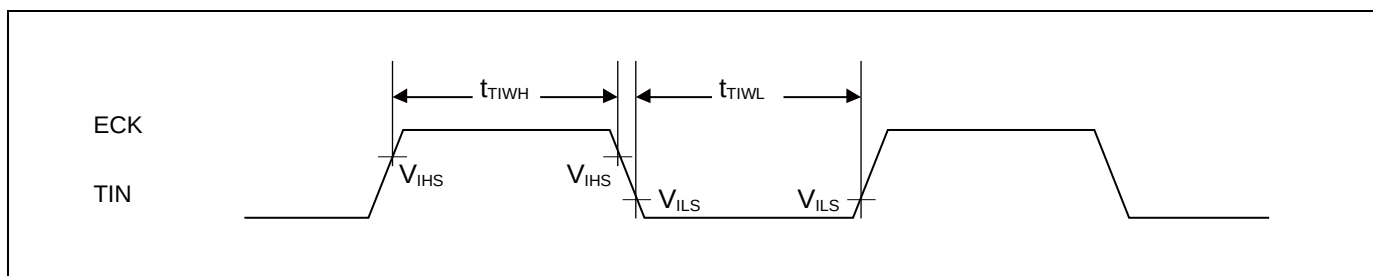
RDY 入力時

RDY 解除時


12.4.9 ベースタイマ入力タイミング

タイマ入力タイミング

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

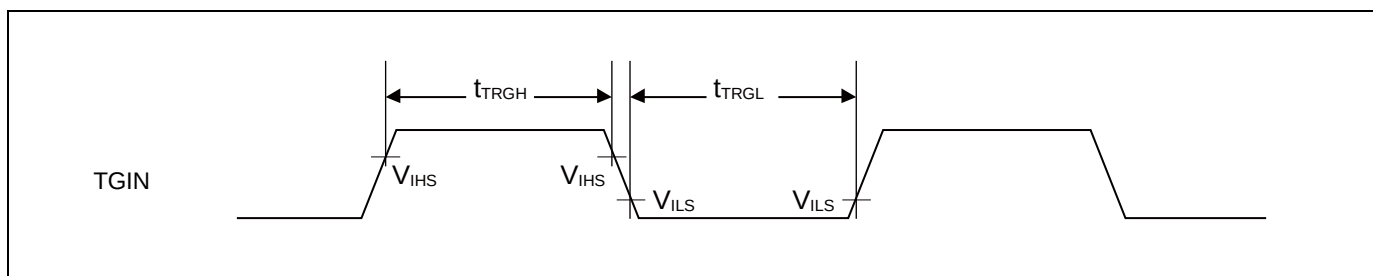
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (ECK, TIN として 使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (TGIN として使用 するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- t_{CYCP} は、APB バスクロックのサイクル時間です。
ベースタイマが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

12.4.10 CSIO/UART タイミング

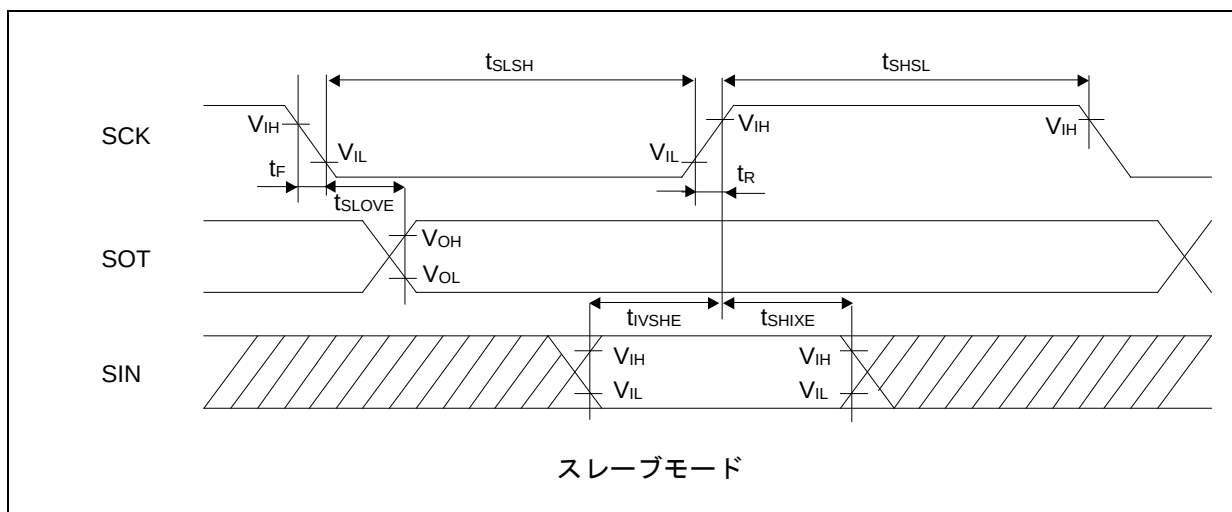
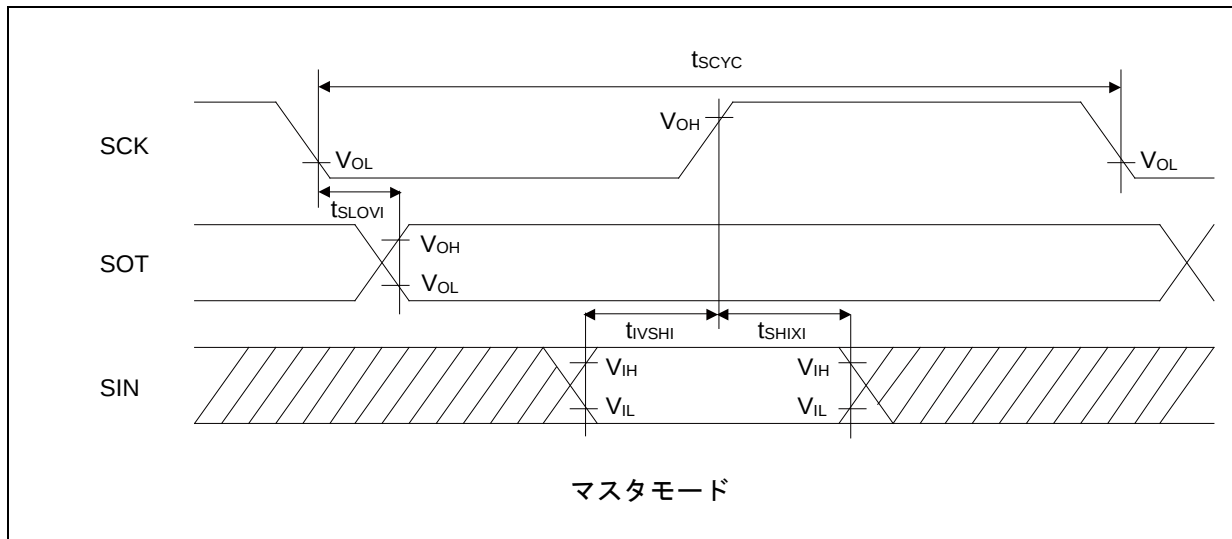
CSIO (SPI = 0, SCINV = 0)

($V_{CC} = 1.65V \sim 3.6V$, $V_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	条件	$V_{CC} < 2.7V$		$V_{CC} \geq 2.7V$		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	tSCYC	SCK _x	マスター モード	4tCYCP	-	4tCYCP	-	ns
SCK ↓ → SOT 遅延時間	tSLOVI	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	tIVSHI	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド時間	tSHIXI	SCK _x , SIN _x		0	-	0	-	ns
シリアルクロック "L"パルス幅	tLSH	SCK _x	スレーブ モード	2tCYCP - 10	-	2tCYCP - 10	-	ns
シリアルクロック "H"パルス幅	tHSL	SCK _x		tCYCP + 10	-	tCYCP + 10	-	ns
SCK ↓ → SOT 遅延時間	tSLOVE	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	tIVSHE	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド時間	tSHIXE	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	tF	SCK _x		-	5	-	5	ns
SCK 立上り時間	tR	SCK _x		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- tCYCP は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



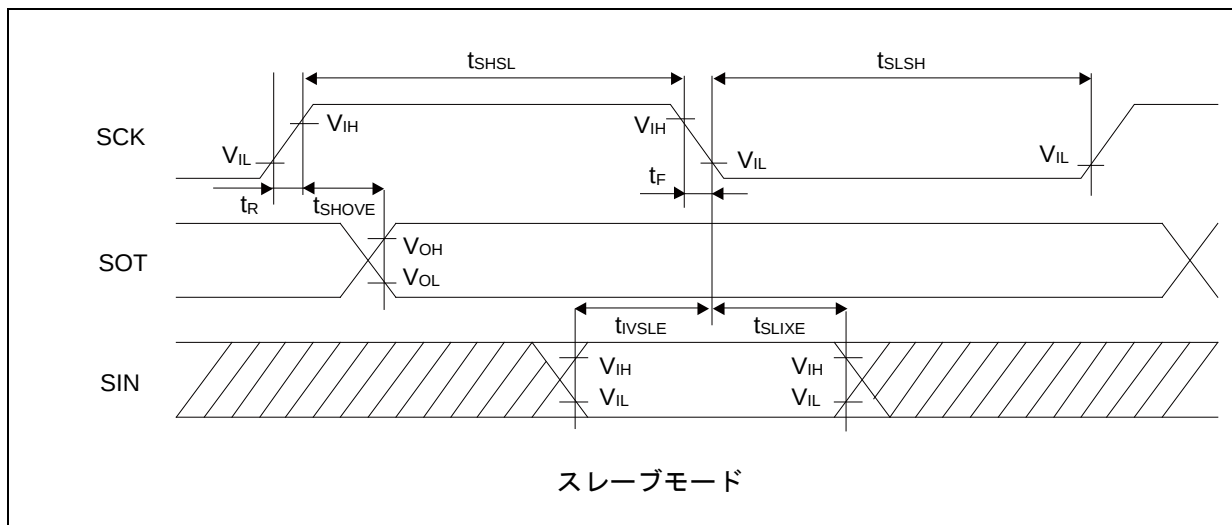
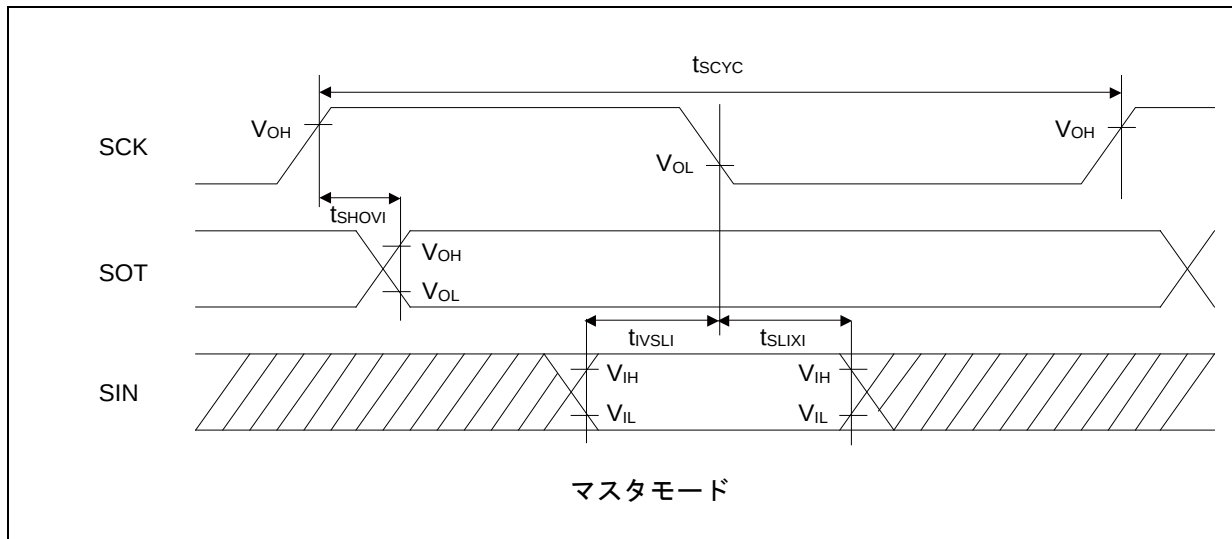
CSIO (SPI = 0, SCINV = 1)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	V _{CC} <2.7 V		V _{CC} ≥2.7 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _X	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK↑→SOT 遅延 時間	t _{SHOVI}	SCK _X , SOT _X		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t _{IVSLI}	SCK _X , SIN _X		50	-	30	-	ns
SCK↓→SIN ホールド 時間	t _{SLIXI}	SCK _X , SIN _X		0	-	0	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _X	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{HSL}	SCK _X		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK↑→SOT 遅延 時間	t _{SHOVE}	SCK _X , SOT _X		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t _{IVSLE}	SCK _X , SIN _X		10	-	10	-	ns
SCK↓→SIN ホールド 時間	t _{SLIXE}	SCK _X , SIN _X		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _X		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _X		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{X_0}, SOT_{X_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



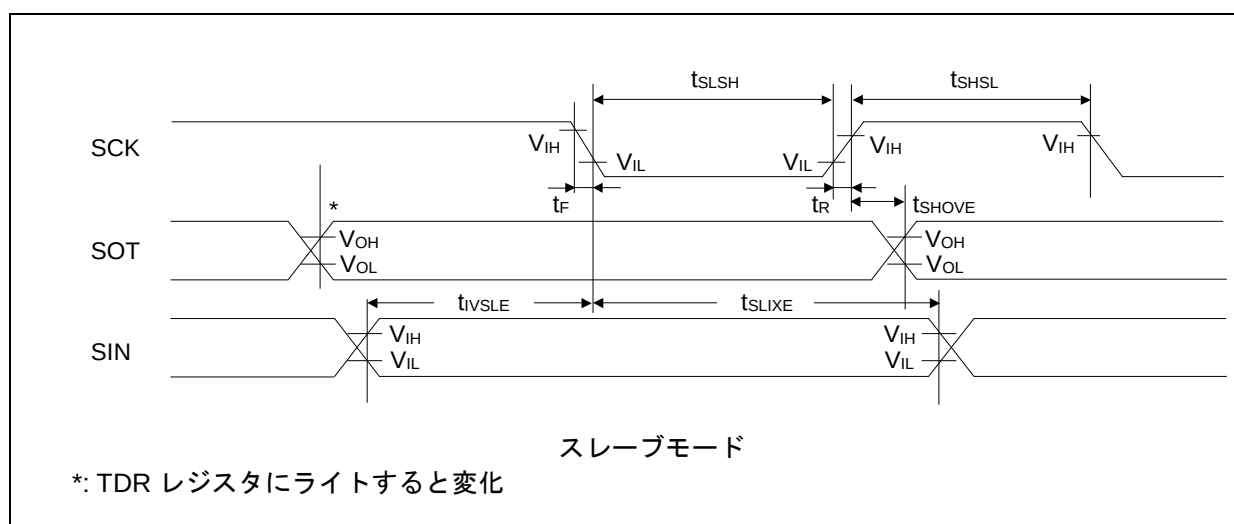
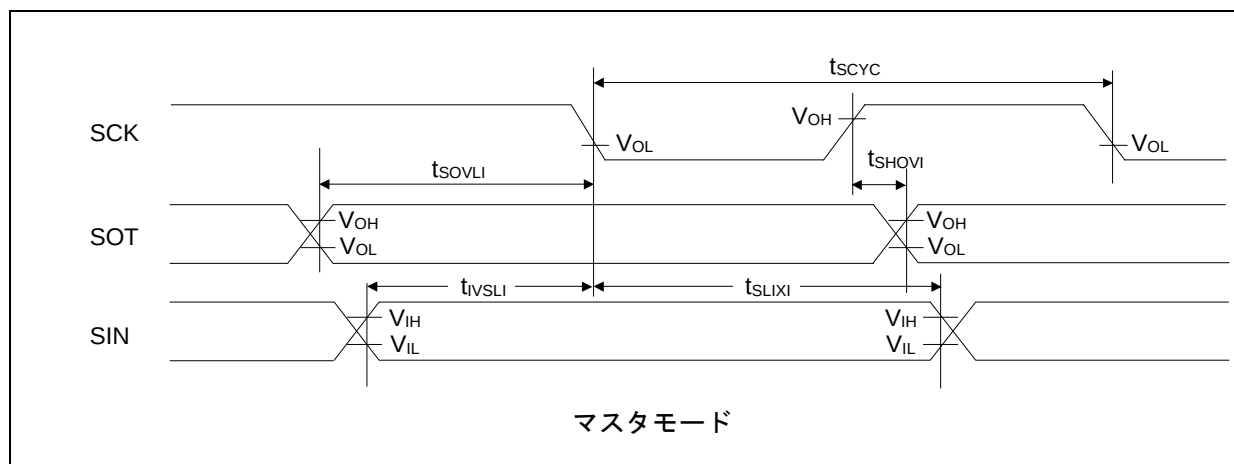
CSIO (SPI = 1, SCINV = 0)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↓ → SIN ホールド時 間	t _{SLIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↓ 遅延時間	t _{SOVLI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSH}	SCK _x ,	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↑ → SOT 遅延時間	t _{SHOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↓ セットアップ時間	t _{IVSLE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↓ → SIN ホールド時 間	t _{SLIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時



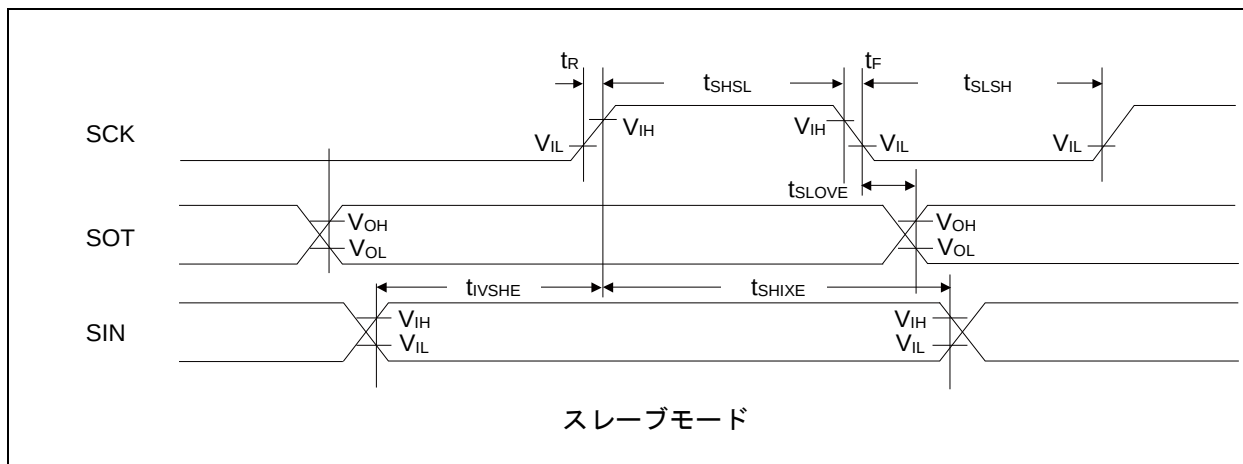
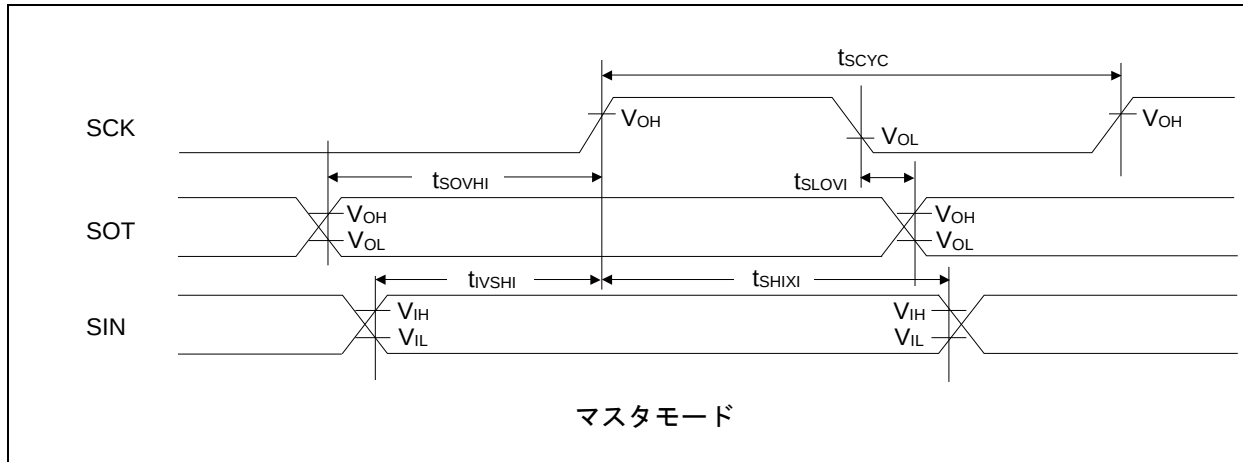
CSIO (SPI = 1, SCINV = 1)

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

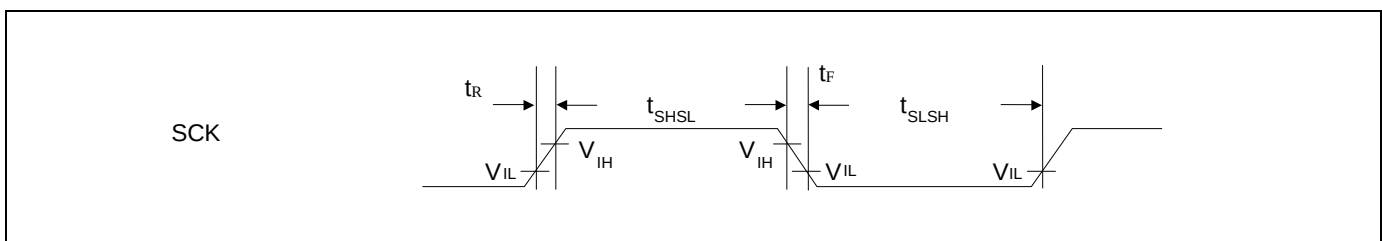
項目	記号	端子名	条件	V _{CC} < 2.7 V		V _{CC} ≥ 2.7 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t _{SCYC}	SCK _x	マスタ モード	4t _{CYCP}	-	4t _{CYCP}	-	ns
SCK ↓ → SOT 遅延 時間	t _{SLOVI}	SCK _x , SOT _x		- 30	+ 30	- 20	+ 20	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHI}	SCK _x , SIN _x		50	-	30	-	ns
SCK ↑ → SIN ホールド 時間	t _{SHIXI}	SCK _x , SIN _x		0	-	0	-	ns
SOT → SCK ↑ 遅延時間	t _{SOVHI}	SCK _x , SOT _x		2t _{CYCP} - 30	-	2t _{CYCP} - 30	-	ns
シリアルクロック "L"パルス幅	t _{LSLH}	SCK _x	スレーブ モード	2t _{CYCP} - 10	-	2t _{CYCP} - 10	-	ns
シリアルクロック "H"パルス幅	t _{SHSL}	SCK _x		t _{CYCP} + 10	-	t _{CYCP} + 10	-	ns
SCK ↓ → SOT 遅延 時間	t _{SLOVE}	SCK _x , SOT _x		-	50	-	30	ns
SIN → SCK ↑ セットアップ時間	t _{IVSHE}	SCK _x , SIN _x		10	-	10	-	ns
SCK ↑ → SIN ホールド 時間	t _{SHIXE}	SCK _x , SIN _x		20	-	20	-	ns
SCK 立下り時間	t _F	SCK _x		-	5	-	5	ns
SCK 立上り時間	t _R	SCK _x		-	5	-	5	ns

<注意事項>

- クロック同期モード時の交流規格です。
- t_{CYCP} は、APB バスクロックのサイクル時間です。
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は同リロケート・ポート番号のみの保証です。
例えば SCK_{x_0}, SOT_{x_1} の組み合わせは保証外です。
- 外部負荷容量 C_L = 30 pF 時


UART 外部クロック入力(EXT = 1)
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	条件	規格値		単位	備考
			最小	最大		
シリアルクロック"L"パルス幅	t _{SLSH}	C _L = 30 pF	t _{CYCP} + 10	-	ns	
シリアルクロック"H"パルス幅	t _{SHSL}		t _{CYCP} + 10	-	ns	
SCK 立下り時間	t _F		-	5	ns	
SCK 立上り時間	t _R		-	5	ns	



12.4.11 外部入力タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t _{INH} , t _{INL}	ADTG	-	2t _{CYCP} *1	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイム 入力クロック
		ICxx					インプットキャプチャ
		DTTlxX					波形ジェネレータ
		INTxx, NMIX	*2	2t _{CYCP} + 100*1	-	ns	外部割込み, NMI
			*3	500	-	ns	
		WKUPx	*4	600	-	ns	ディープスタンバイウェイク アップ

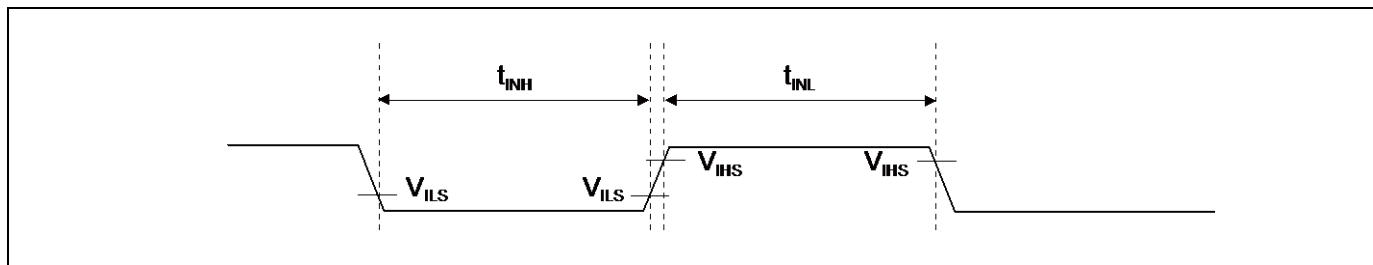
*1: t_{CYCP} は APB バスクロックのサイクル時間です。

多機能タイマが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

*2: ランモード, スリープモード時

*3: タイマモード, ストップモード時

*4: ディープスタンバイ RTC モード, ディープスタンバイストップモード時



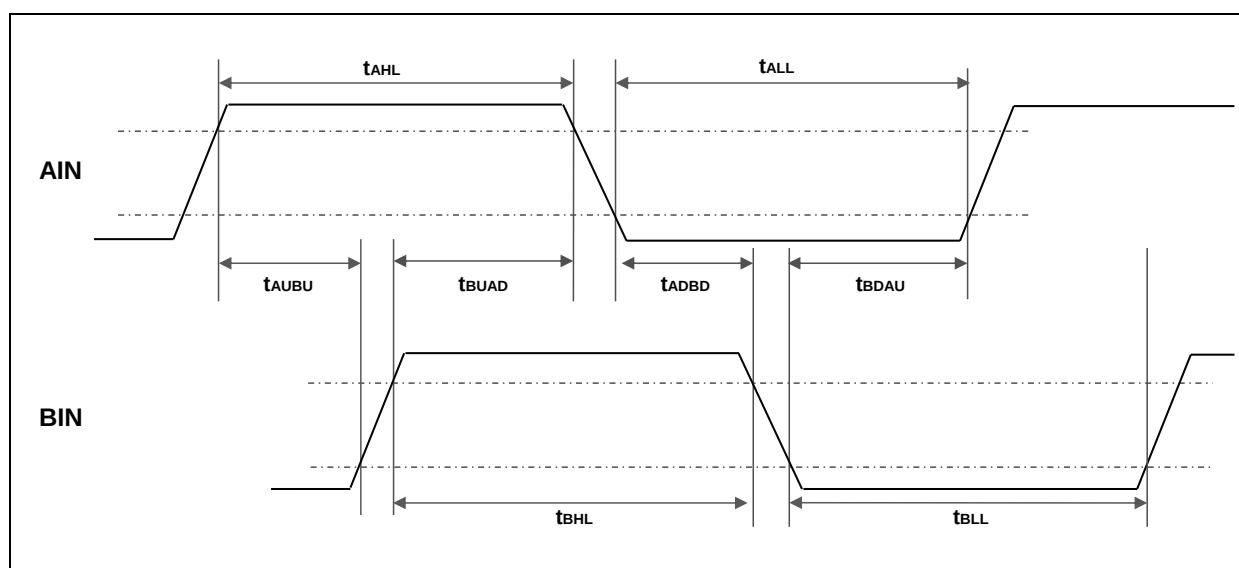
12.4.12 クアッドカウンタ タイミング

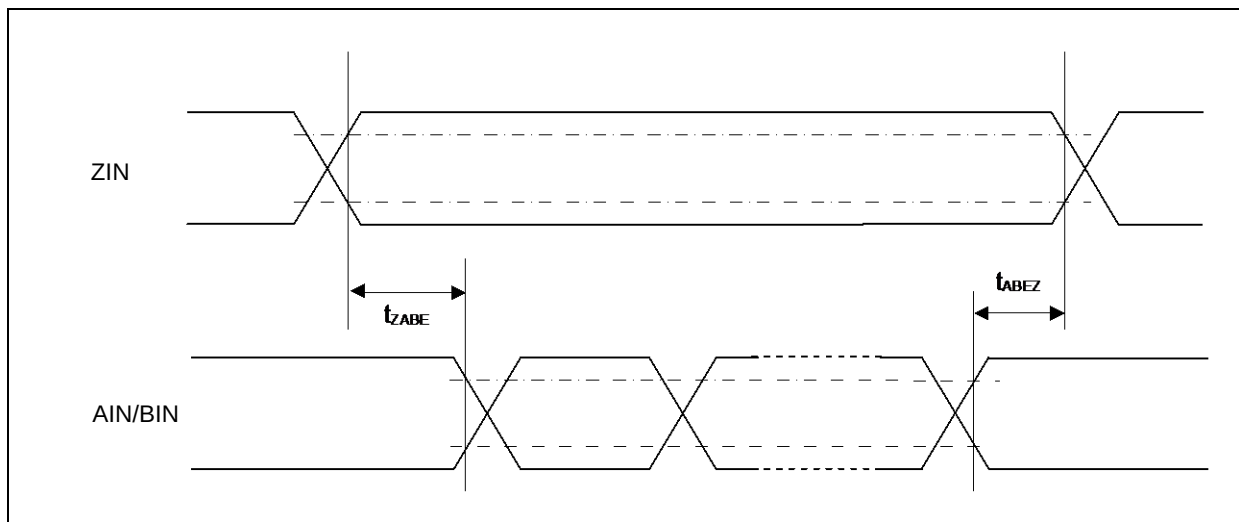
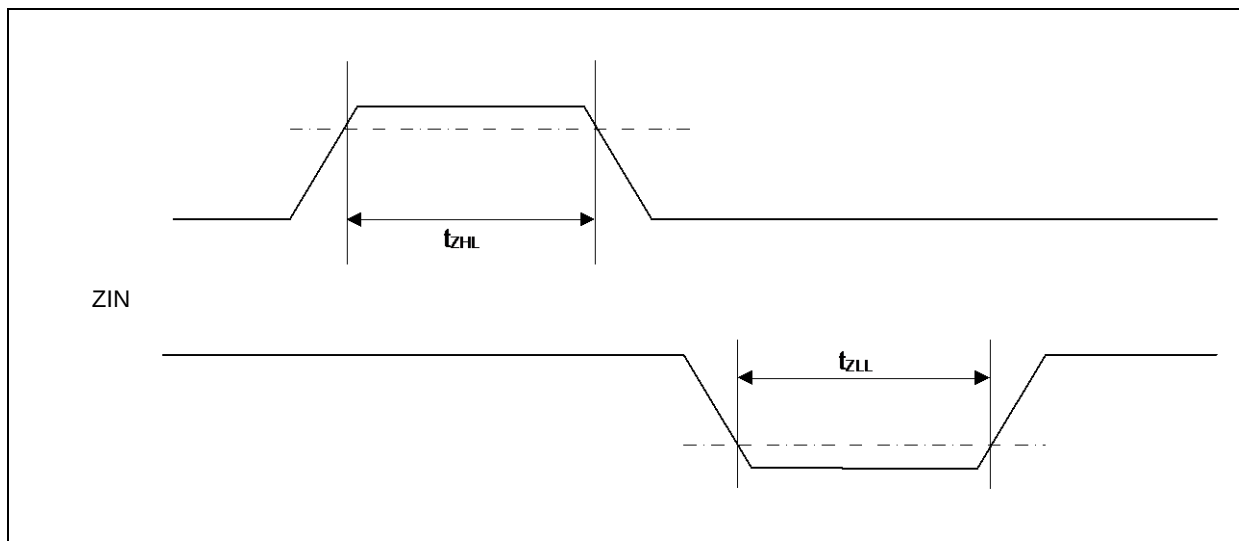
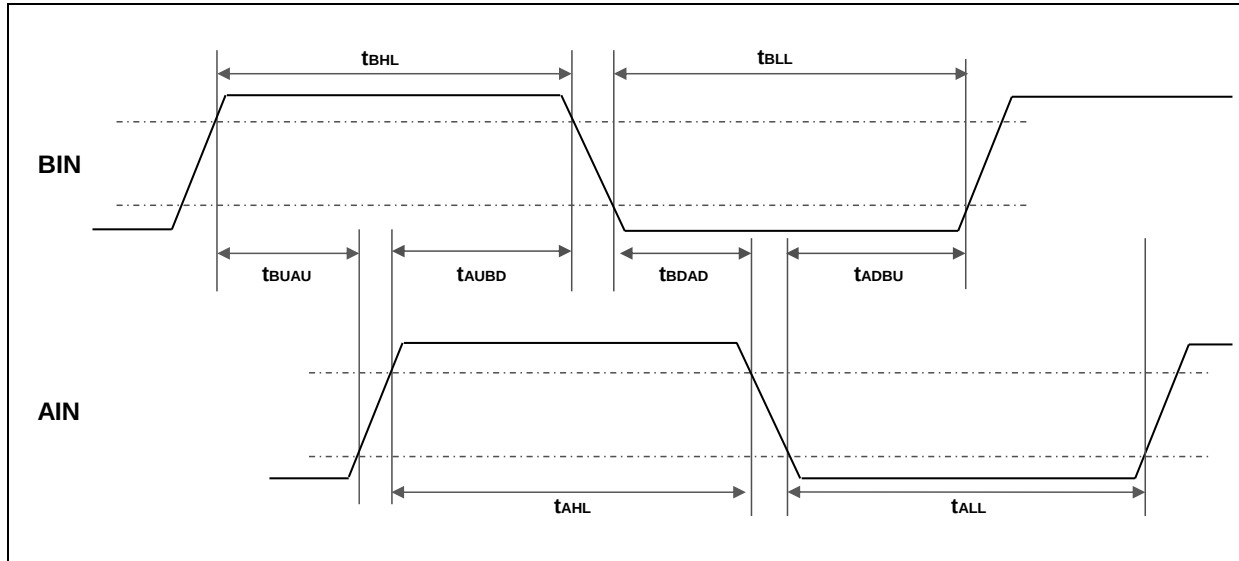
 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = -40°C ~ +85°C)

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t _{AHL}	-	2t _{CYCP} *	-	ns
AIN 端子"L"幅	t _{ALL}	-			
BIN 端子"H"幅	t _{BHL}	-			
BIN 端子"L"幅	t _{BLL}	-			
AIN"H"レベルから BIN 立上り時間	t _{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下り時間	t _{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下り時間	t _{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上り時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから AIN 立上り時間	t _{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下り時間	t _{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下り時間	t _{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上り時間	t _{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t _{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t _{ZLL}	QCR:CGSC="0"			
ZIN レベル確定 から AIN/BIN 立下り立上り時間	t _{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り 時間から ZIN レベル確定	t _{ABEZ}	QCR:CGSC="1"			

 *: t_{CYCP} は APB バスクロックのサイクル時間です。

クアッドカウンタが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。





12.4.13 I²C タイミング

(V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f _{SCL}	C _L = 30 pF, R = (V _P /I _{OL})* ¹	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA ↓ → SCL ↓	t _{HDSTA}		4.0	-	0.6	-	μs	
SCL クロック "L" 幅	t _{LOW}		4.7	-	1.3	-	μs	
SCL クロック "H" 幅	t _{HIGH}		4.0	-	0.6	-	μs	
反復「スタート」条件 セットアップ時間 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
データホールド時間 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45* ²	0	0.9* ³	μs	
データセットアップ時間 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
「ストップ」条件と 「スタート」条件との間の バスフリー時間	t _{BUF}		4.7	-	1.3	-	μs	
ノイズフィルタ	t _{SP}	-	2 t _{CYCP} * ⁴	-	2 t _{CYCP} * ⁴	-	ns	

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。V_P はプルアップ抵抗の電源電圧, I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の "L" 区間(t_{LOW})を延長していないということを満たしていなければなりません。

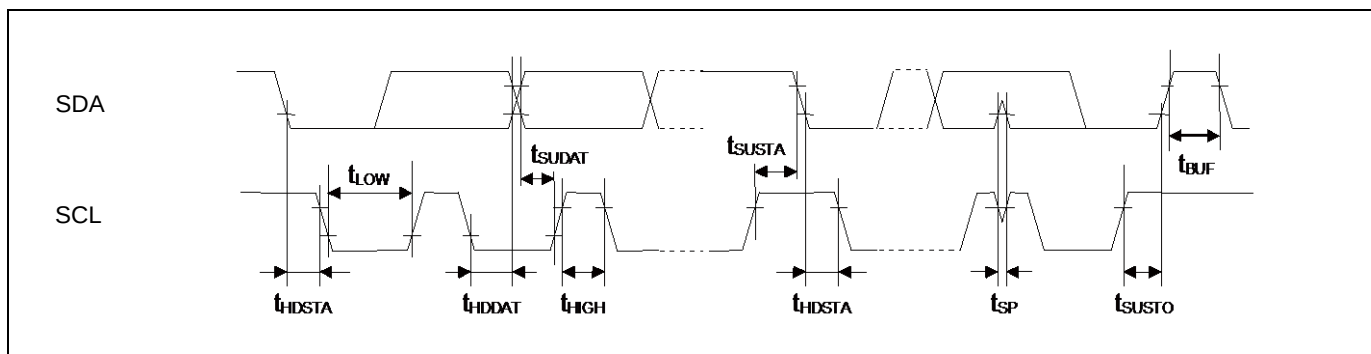
*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用することはできますが、要求される条件 t_{SUDAT} ≥ 250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

I²C が接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。

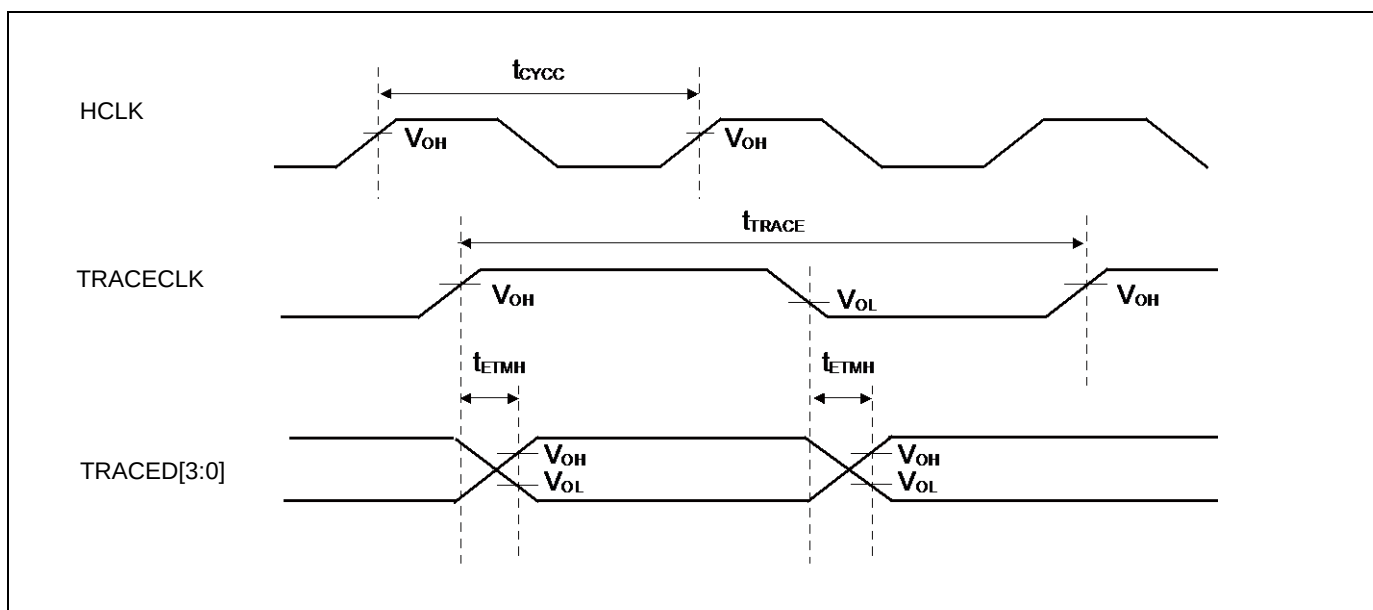


12.4.14 ETM タイミング
 $(V_{CC} = 1.65V \sim 3.6V, V_{SS} = 0V, T_A = -40^{\circ}C \sim +85^{\circ}C)$

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK, TRACED[3:0]	$V_{CC} \geq 2.7V$	2	11	ns	
			$V_{CC} < 2.7V$	2	15		
TRACECLK 周波数	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 2.7V$	-	40	MHz	
			$V_{CC} < 2.7V$	-	20	MHz	
TRACECLK クロック周期	t_{TRACE}		$V_{CC} \geq 2.7V$	25	-	ns	
			$V_{CC} < 2.7V$	50	-	ns	

<注意事項>

- 外部負荷容量 $C_L = 30pF$ 時



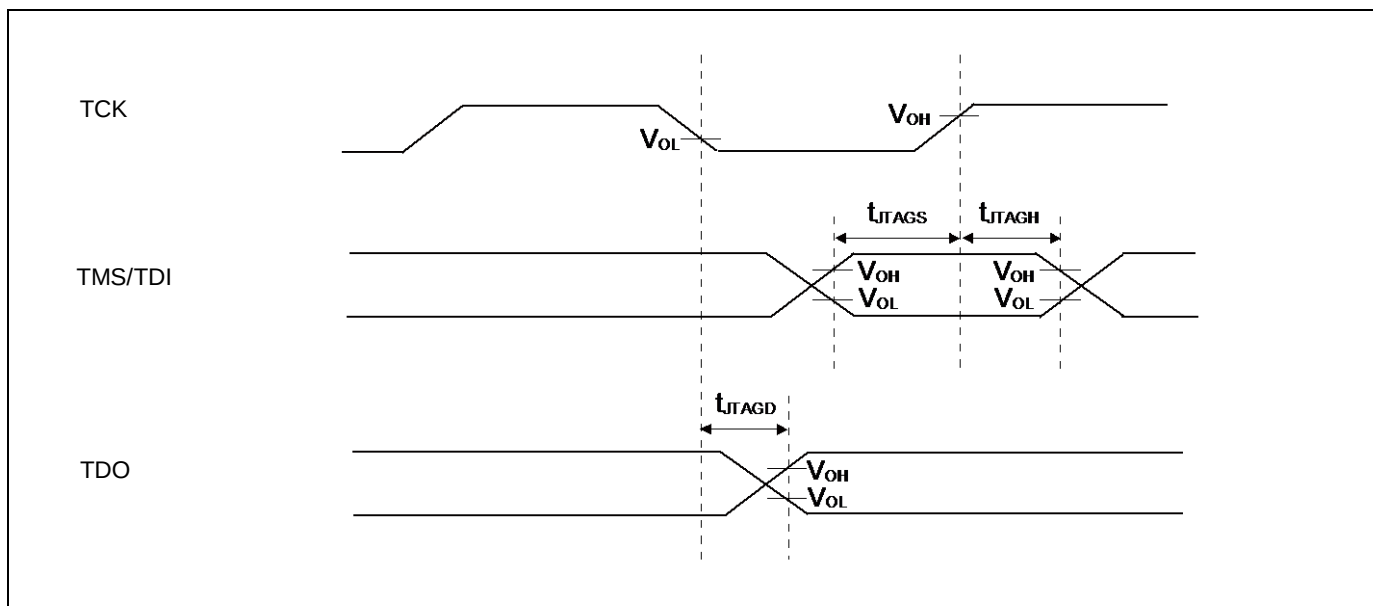
12.4.15 JTAG タイミング

 (V_{CC} = 1.65V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t _{JTAGS}	TCK, TMS, TDI	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	15	-	ns	
TMS, TDI ホールド時間	t _{JTAGH}	TCK, TMS, TDI	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	15	-	ns	
TDO 遅延時間	t _{JTAGD}	TCK, TDO	V _{CC} ≥ 2.7 V V _{CC} < 2.7 V	- -	25 45	ns	

<注意事項>

- 外部負荷容量 C_L = 30pF 時



12.5 12 ビット A/D コンバータ

A/D 変換部電氣的特性

($V_{CC} = AV_{CC} = 1.65V \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 2.4	± 4.5	LSB	
微分直線性誤差	-	-	-	± 2.3	± 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	-	± 7	± 15	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	-	$AVRH \pm 7$	$AVRH \pm 15$	mV	
変換時間*1	-	-	2.0	-	-	μs	$AV_{CC} \geq 2.7 V$
			4.0	-	-		$1.8 V \leq AV_{CC} < 2.7 V$
			10	-	-		$1.65 V \leq AV_{CC} < 1.8 V$
サンプリング時間*2	ts	-	0.6	-	10	μs	$AV_{CC} \geq 2.7 V$
			1.2	-			$1.8 V \leq AV_{CC} < 2.7 V$
			3.0	-			$1.65 V \leq AV_{CC} < 1.8 V$
コンペアクロック周期*3	t _{CCK}	-	100	-	1000	ns	$AV_{CC} \geq 2.7 V$
			200				$1.8 V \leq AV_{CC} < 2.7 V$
			500				$1.65 V \leq AV_{CC} < 1.8 V$
動作許可状態遷移時間	t _{STT}	-	-	-	1.0	μs	
アナログ入力容量	C _{AIN}	-	-	-	9.4	pF	
アナログ入力抵抗	R _{AIN}	-	-	-	2.2	k Ω	$AV_{CC} \geq 2.7 V$
					5.5		$1.8 V \leq AV_{CC} < 2.7 V$
					10.5		$1.65 V \leq AV_{CC} < 1.8 V$
チャンネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	μA	
アナログ入力電圧	-	ANxx	AV_{SS}	-	$AVRH$	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	$AV_{CC} \geq 2.7 V$
			AV_{CC}				$AV_{CC} < 2.7 V$

*1: 変換時間はサンプリング時間 (ts) + コンペア時間 (tc) の値です。

最小変換時間の条件は、以下の通りです。

$AV_{CC} \geq 2.7 V$ HCLK=40 MHz サンプリング時間: 0.6 μs , コンペア時間: 1.4 μs

$1.8 V \leq AV_{CC} < 2.7 V$ HCLK=40 MHz サンプリング時間: 1.2 μs , コンペア時間: 2.8 μs

$1.65 V \leq AV_{CC} < 1.8 V$ HCLK=40 MHz サンプリング時間: 3 μs , コンペア時間: 7 μs

必ずサンプリング時間(ts), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリー ペリフェラルマニュアル アナログマクロ編』の『CHAPTER 1-1: A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタの設定は APB バスクロックのタイミングで反映されます。

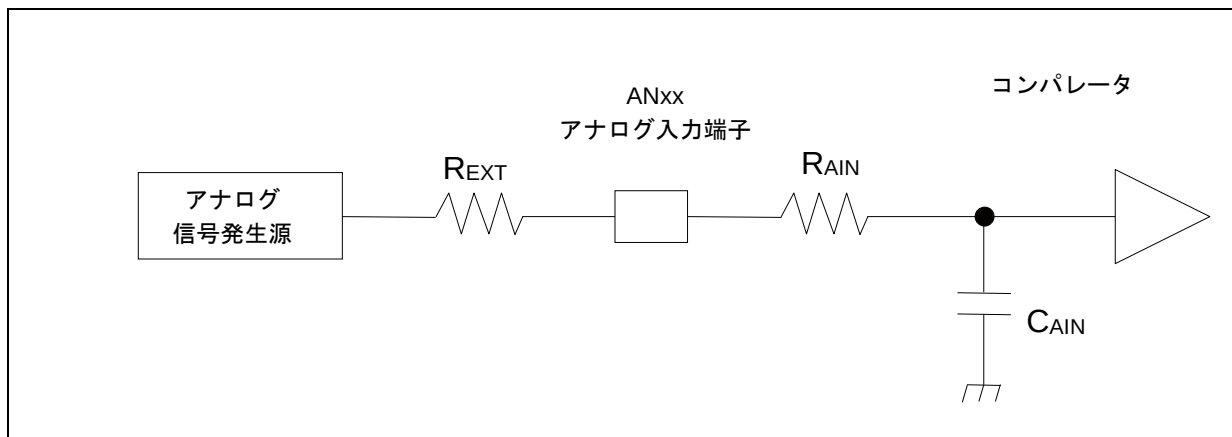
A/D コンバータが接続されている APB バス番号については「8.ブロックダイアグラム」を参照してください。

サンプリングクロックおよびコンペアクロックはベースクロック(HCLK)から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(tc) は (式 2)の値です。



$$(式 1) t_s \geq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$$

t_s : サンプルング時間 [ns]

R_{AIN} : A/D の入力抵抗[k Ω] = 2.2 k Ω 2.7 V $\leq$ AV_{CC} $\leq$ 3.6 V の場合

A/D の入力抵抗[k Ω] = 5.5 k Ω 1.8 V $\leq$ AV_{CC} < 2.7 V の場合

A/D の入力抵抗[k Ω] = 10.5 k Ω 1.65 V $\leq$ AV_{CC} < 1.8 V の場合

C_{AIN} : A/D の入力容量[pF] = 9.4 pF 1.65 V $\leq$ AV_{CC} $\leq$ 3.6 V の場合

R_{EXT} : 外部回路の出カインピーダンス [k Ω]

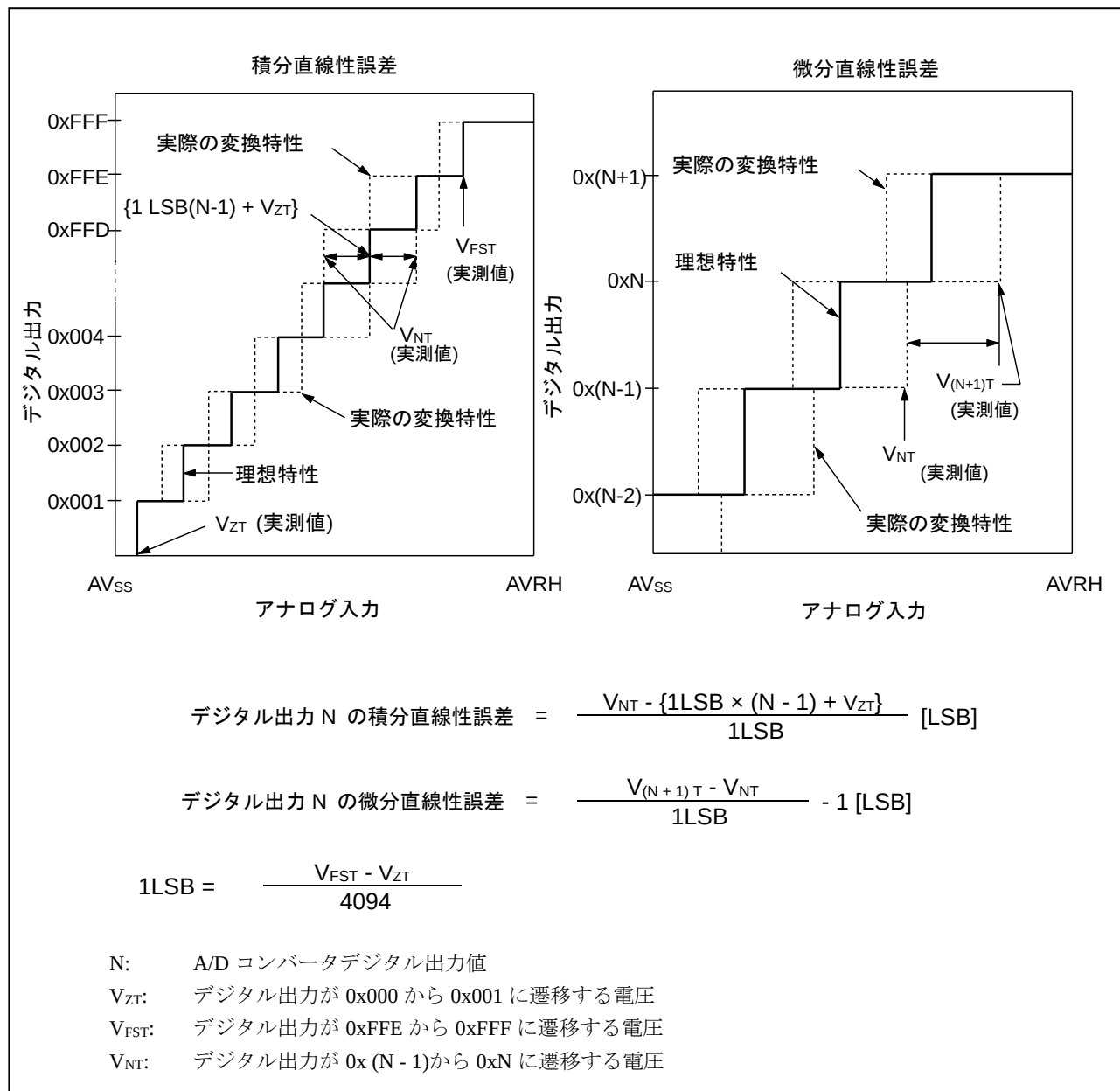
$$(式 2) t_c = t_{CCK} \times 14$$

t_c : コンペア時間

t_{CCK} : コンペアクロック周期

12 ビット A/D コンバータの用語の定義

分解能 : A/D コンバータにより識別可能なアナログ変化
 積分直線性誤差 : ゼロトランジション点(0b000000000000 ↔ 0b000000000001)とフルスケールトランジション点(0b111111111110 ↔ 0b111111111111)を結んだ直線と実際の変換特性との偏差
 微分直線性誤差 : 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



12.6 低電圧検出特性

12.6.1 低電圧検出リセット

(T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHR*1 = 00000	1.38	1.50	1.60	V	電圧降下時
解除電圧	VDH		1.43	1.55	1.65	V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00001	1.43	1.55	1.65	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00010	1.47	1.60	1.73	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00011	1.52	1.65	1.78	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00100	1.56	1.70	1.84	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00101	1.61	1.75	1.89	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00110	1.66	1.80	1.94	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 00111	1.70	1.85	2.00	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01000	1.75	1.90	2.05	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01001	1.79	1.95	2.11	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01010	1.84	2.00	2.16	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01011	1.89	2.05	2.21	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01100	2.30	2.50	2.70	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01101	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01110	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 01111	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 10000	2.67	2.90	3.13	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 10001	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 10010	2.85	3.10	3.35	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
検出電圧	VDL	SVHR*1 = 10011	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		SVHR = 00000 の規格値			V	電圧上昇時
LVD 安定待ち時間	tLVDW	-	-	-	5200×tcycp*2	μs	
LVD 検出遅延時間	tLVDL	-	-	-	200	μs	

*1: 低電圧検出電圧設定レジスタ(LVD_CTL)の SVHR ビットは、低電圧検出リセットで SVHR = 00000 に初期化されます。

*2: tcycp は APB2 バスクロックのサイクル時間です。

12.6.2 低電圧検出割込み

 (T_A = -40°C ~ +85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 00100	1.56	1.70	1.84	V	電圧降下時
解除電圧	VDH		1.61	1.75	1.89	V	電圧上昇時
検出電圧	VDL	SVHI = 00101	1.61	1.75	1.89	V	電圧降下時
解除電圧	VDH		1.66	1.80	1.94	V	電圧上昇時
検出電圧	VDL	SVHI = 00110	1.66	1.80	1.94	V	電圧降下時
解除電圧	VDH		1.70	1.85	2.00	V	電圧上昇時
検出電圧	VDL	SVHI = 00111	1.70	1.85	2.00	V	電圧降下時
解除電圧	VDH		1.75	1.90	2.05	V	電圧上昇時
検出電圧	VDL	SVHI = 01000	1.75	1.90	2.05	V	電圧降下時
解除電圧	VDH		1.79	1.95	2.11	V	電圧上昇時
検出電圧	VDL	SVHI = 01001	1.79	1.95	2.11	V	電圧降下時
解除電圧	VDH		1.84	2.00	2.16	V	電圧上昇時
検出電圧	VDL	SVHI = 01010	1.84	2.00	2.16	V	電圧降下時
解除電圧	VDH		1.89	2.05	2.21	V	電圧上昇時
検出電圧	VDL	SVHI = 01011	1.89	2.05	2.21	V	電圧降下時
解除電圧	VDH		1.93	2.10	2.27	V	電圧上昇時
検出電圧	VDL	SVHI = 01100	2.30	2.50	2.70	V	電圧降下時
解除電圧	VDH		2.39	2.60	2.81	V	電圧上昇時
検出電圧	VDL	SVHI = 01101	2.39	2.60	2.81	V	電圧降下時
解除電圧	VDH		2.48	2.70	2.92	V	電圧上昇時
検出電圧	VDL	SVHI = 01110	2.48	2.70	2.92	V	電圧降下時
解除電圧	VDH		2.58	2.80	3.02	V	電圧上昇時
検出電圧	VDL	SVHI = 01111	2.58	2.80	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.90	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 10000	2.67	2.90	3.13	V	電圧降下時
解除電圧	VDH		2.76	3.00	3.24	V	電圧上昇時
検出電圧	VDL	SVHI = 10001	2.76	3.00	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.10	3.35	V	電圧上昇時
検出電圧	VDL	SVHI = 10010	2.85	3.10	3.35	V	電圧降下時
解除電圧	VDH		2.94	3.20	3.46	V	電圧上昇時
検出電圧	VDL	SVHI = 10011	2.94	3.20	3.46	V	電圧降下時
解除電圧	VDH		3.04	3.30	3.56	V	電圧上昇時
LVD 安定待ち時間	tLVDW	-	-	-	5200×tCYCP*	μs	
LVD 検出遅延時間	tLVDDL	-	-	-	200	μs	

*: tCYCP は APB2 バスクロックのサイクル時間です。

12.7 フラッシュメモリ書込み/消去特性

12.7.1 書込み/消去時間

($V_{CC} = 1.65V \sim 3.6V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目		規格値		単位	備考
		標準*	最大*		
セクタ消去時間	Large Sector	1.1	2.7	s	内部での消去前書込み時間を含む
	Small Sector	0.3	0.9		
ハーフワード(16ビット)書込み時間		30	528	μs	システムレベルのオーバーヘッド時間は除く
チップ消去時間		11.2	30.5	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 1 万回までの保証値です。

12.7.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)	備考
1,000	20 *	
10,000	10 *	

*: 平均温度+85°C 時

12.8 スタンバイ復帰時間

12.8.1 復帰要因：割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

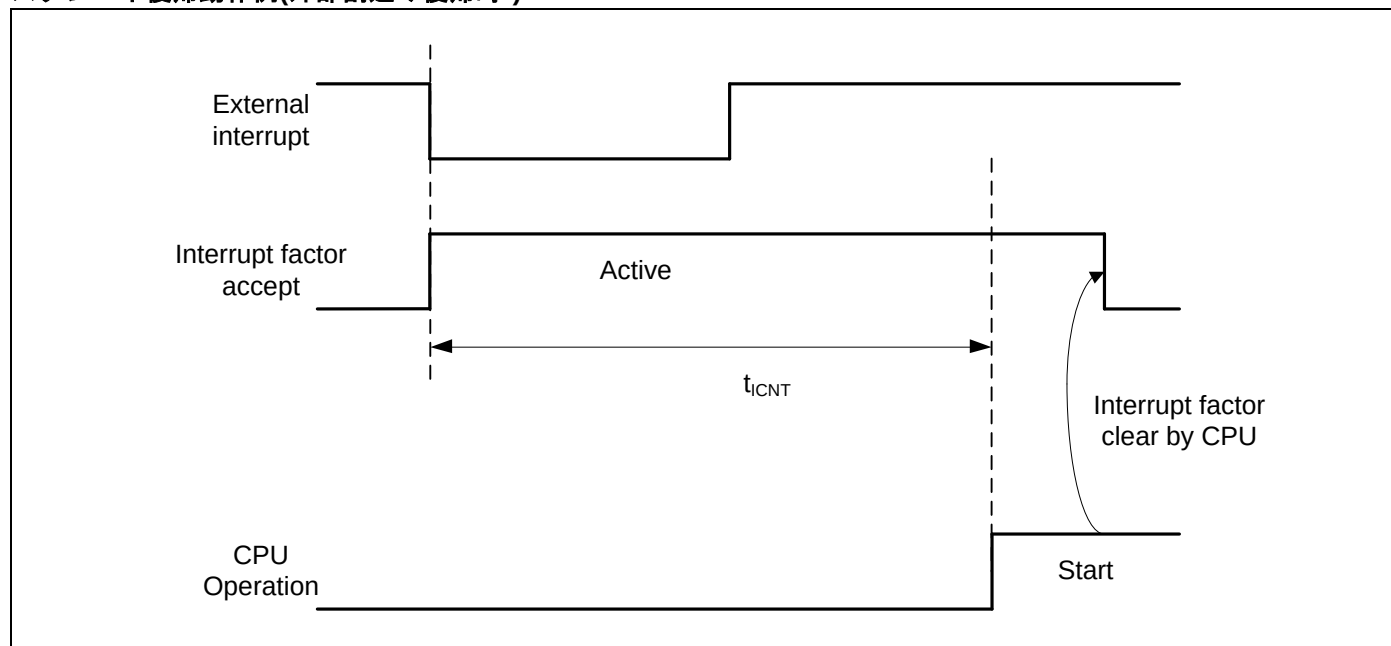
復帰カウント時間

($V_{CC} = 1.65V \sim 3.6V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

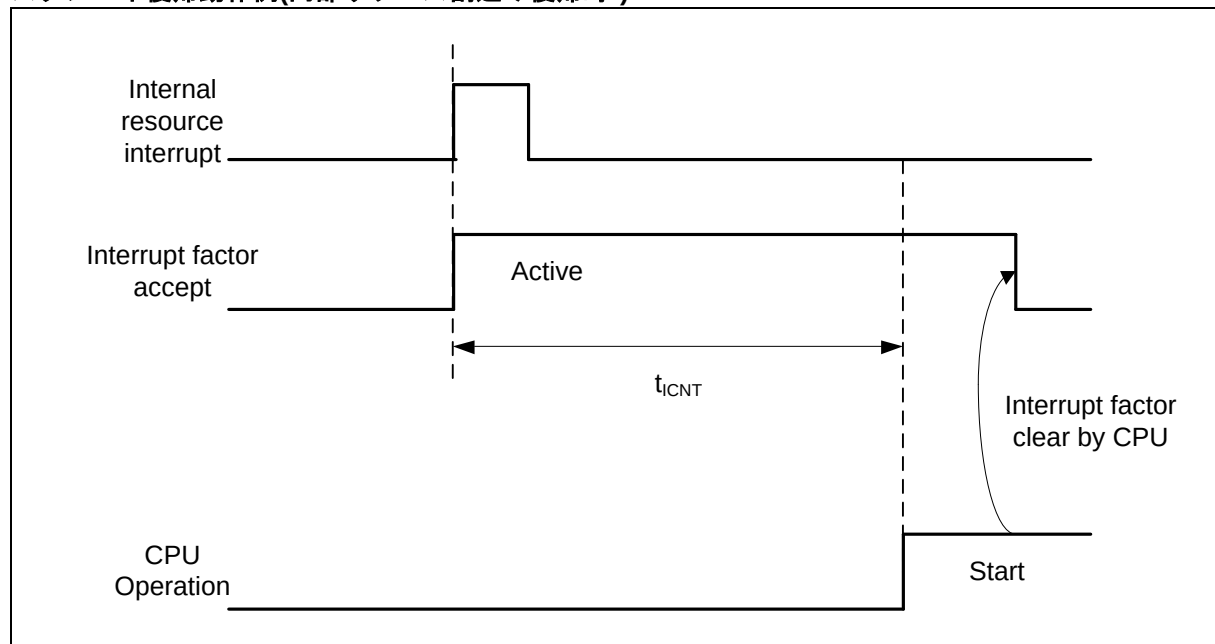
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{CNT}	t _{CYCC}		ns	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	μs	
低速 CR タイマモード		350	700	μs	
サブタイマモード		690	880	μs	
RTC モード ストップモード		278	523	μs	
ディープスタンバイ RTC モード		318	603	μs	RAM 保持なし
ディープスタンバイストップモード		278	523	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)


*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

- 復帰要因は低消費電力モードごとに異なります。
各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。

12.8.2 復帰要因：リセット

リセット解除からプログラム動作開始までの時間を示します。

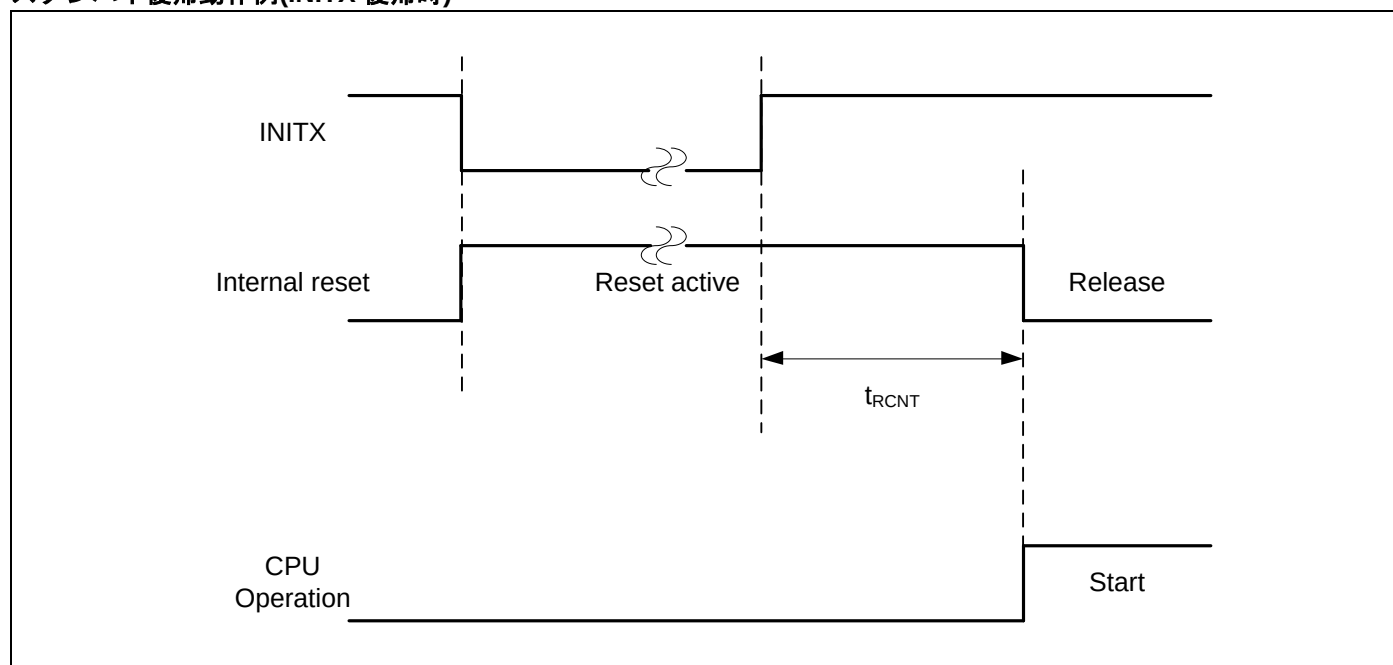
復帰カウント時間

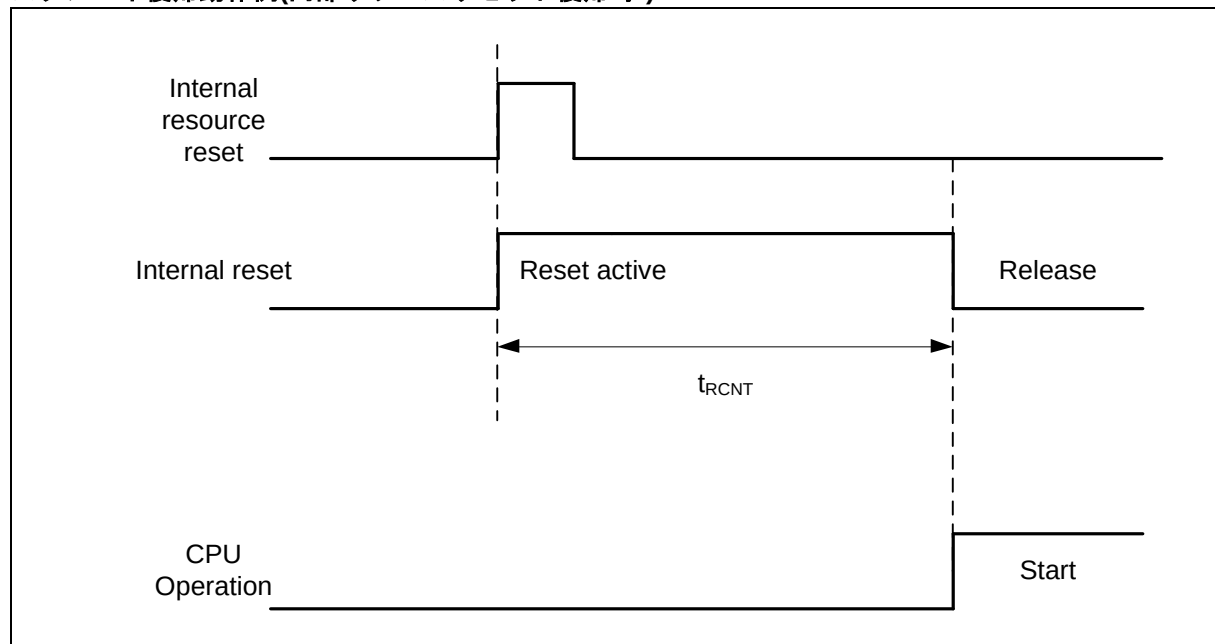
($V_{CC} = 1.65V \sim 3.6V$, $T_A = -40^{\circ}C \sim +85^{\circ}C$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{RCNT}	148	263	μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		148	263	μs	
低速 CR タイマモード		258	483	μs	
サブタイマモード		322	516	μs	
RTC モード ストップモード		278	523	μs	
ディープスタンバイ RTC モード ディープスタンバイストップモード		318	603	μs	RAM 保持なし
		278	523	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)


*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

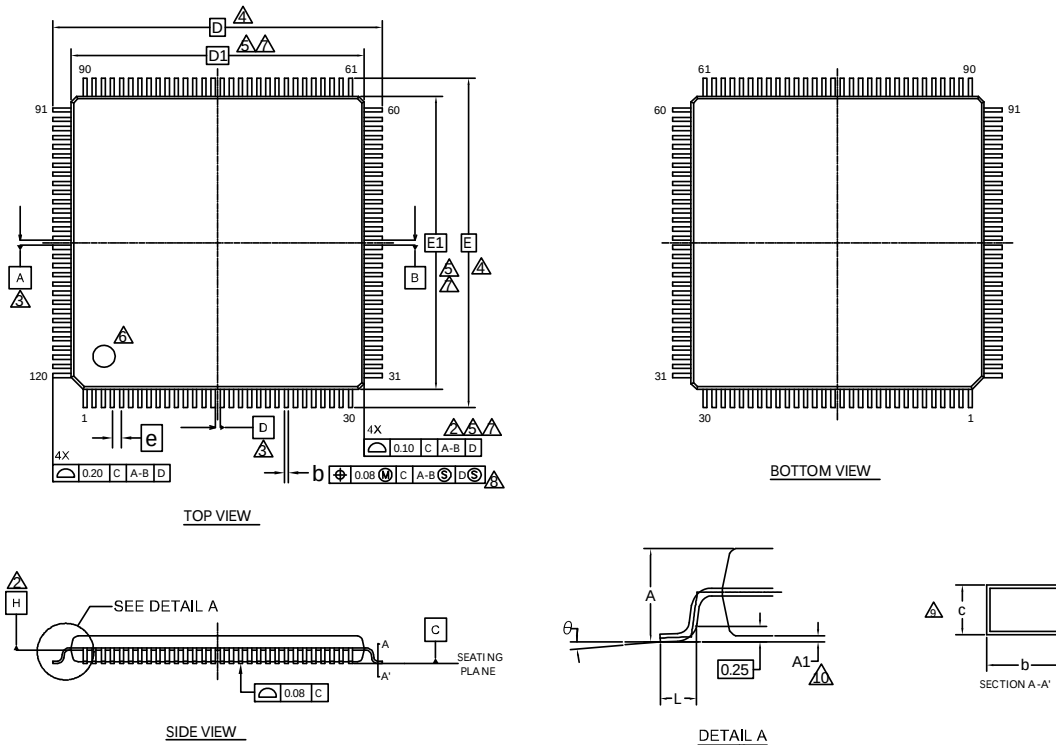
- 復帰要因は低消費電力モードごとに異なります。
低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。
- パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12. 電氣的特性 12.4. 交流規格 12.4.7. パワーオンリセットタイミング」を参照してください。
- リセットからの復帰時、CPU は高速CR ランモードに遷移します。
メインクロックやPLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メインPLL クロックの安定待ち時間が必要になります。
- 内部リソースリセットとはウォッチドッグリセット, CSV リセットを示します。

13. オーダ型格

型 格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9AF154MBPMC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),80 ピン (LQH080)	トレイ
MB9AF155MBPMC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9AF156MBPMC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9AF154MBBGL-GE1	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte	プラスチック・PFBGA (0.5 mm ピッチ),96 ピン (FDG096)	
MB9AF155MBBGL-GE1	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9AF156MBBGL-GE1	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9AF154NBPMC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),100 ピン (LQI100)	
MB9AF155NBPMC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9AF156NBPMC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9AF154NBBGL-GE1	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte	プラスチック・PFBGA (0.8 mm ピッチ),112 ピン (LBC112)	
MB9AF155NBBGL-GE1	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9AF156NBBGL-GE1	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9AF154RBPMC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte	プラスチック・LQFP (0.5 mm ピッチ),120 ピン (LQM120)	
MB9AF155RBPMC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9AF156RBPMC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 120	LQM120



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC		
D1	16.00 BSC		
e	0.50 BSC		
E	18.00 BSC		
E1	16.00 BSC		
L	0.45	0.60	0.75
θ	0°	—	8°

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.

△ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.

△ DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.

△ TO BE DETERMINED AT SEATING PLANE C.

△ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.

ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.

DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.

△ DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.

△ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.

△ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.

△ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.

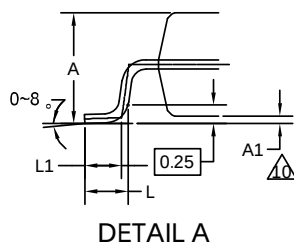
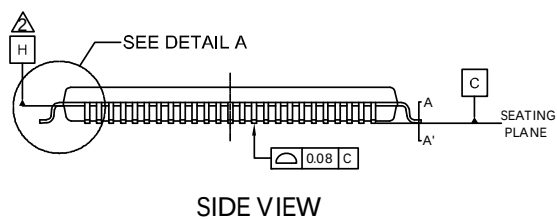
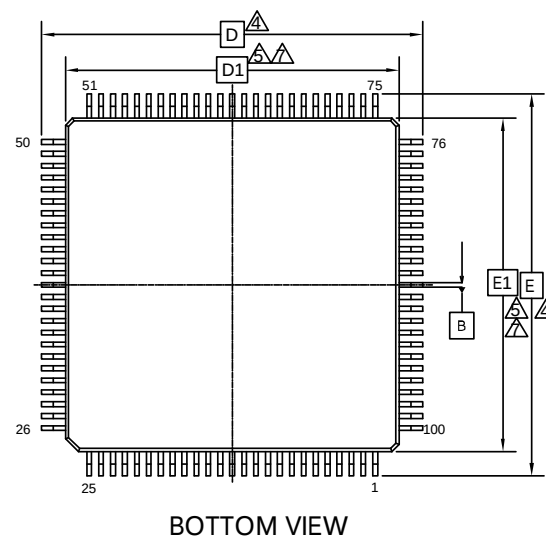
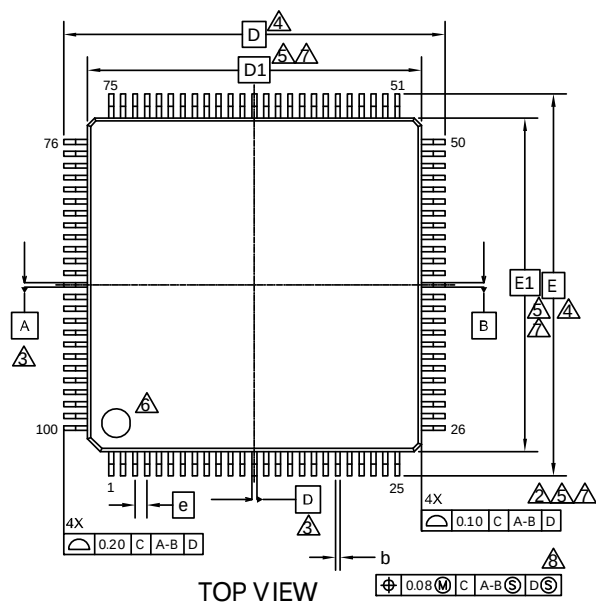
△ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. JEDEC SPECIFICATION NO. REF: N/A.

002-16172 **

PACKAGE OUTLINE, 120 LEAD LQFP
18.0X18.0X1.7 MM LQM120 REV**

Package Type	Package Code
LQFP 100	LQI100



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.50 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

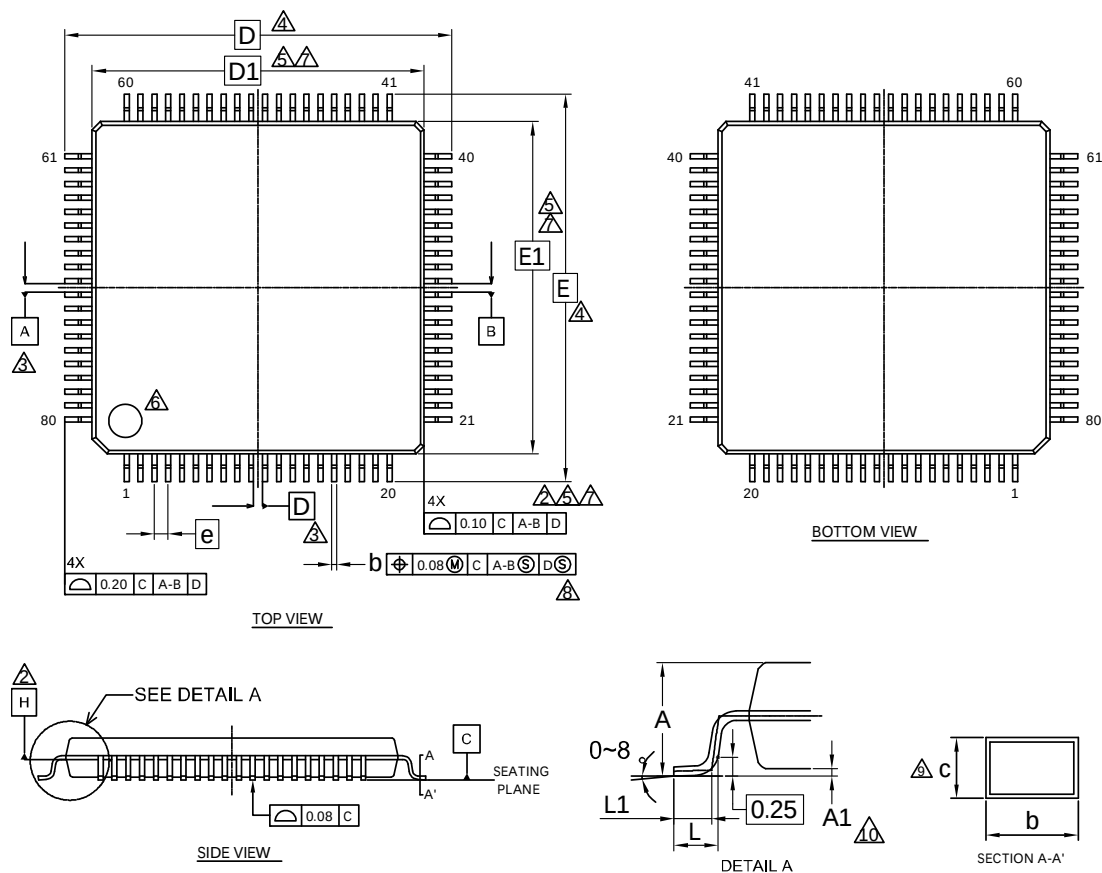
NOTES :

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11500 *A

PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

Package Type	Package Code
LQFP 80	LQH080



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC.		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

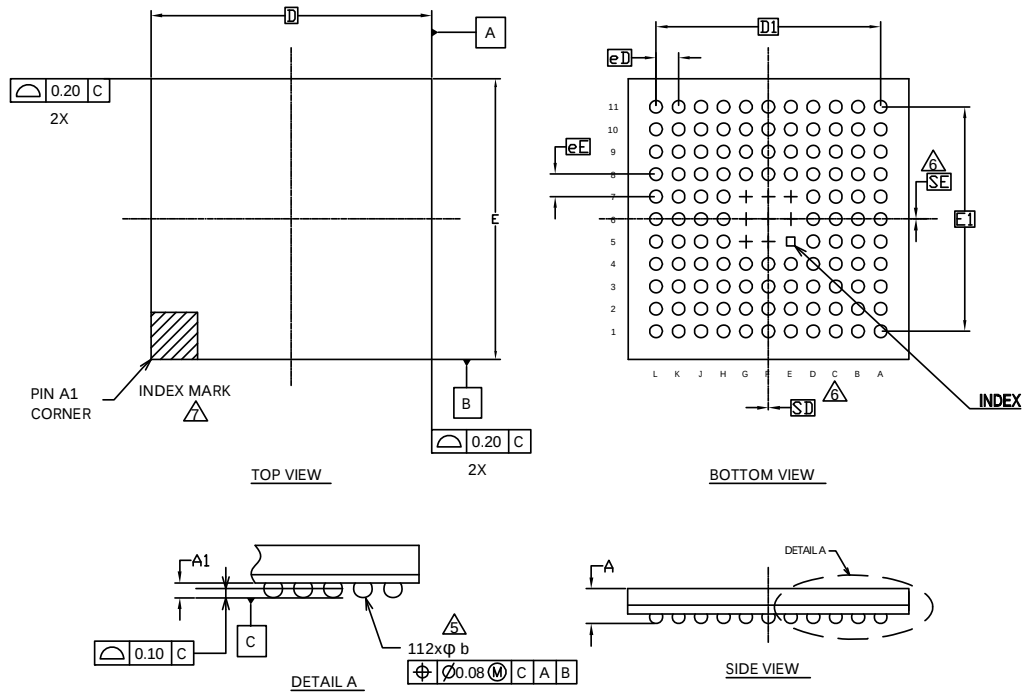
NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm).
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

002-11501 **

 PACKAGE OUTLINE, 80 LEAD LQFP
 12.0X12.0X1.7 MM LQH080 Rev **

Package Type	Package Code
BGA 112	LBC112



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.45
A1	0.25	0.35	0.45
D	10.00 BSC		
E	10.00 BSC		
D1	8.00 BSC		
E1	8.00 BSC		
MD	11		
ME	11		
N	112		
Ø b	0.35	0.45	0.55
eD	0.80 BSC		
eE	0.80 BSC		
SD	0.00		
SE	0.00		

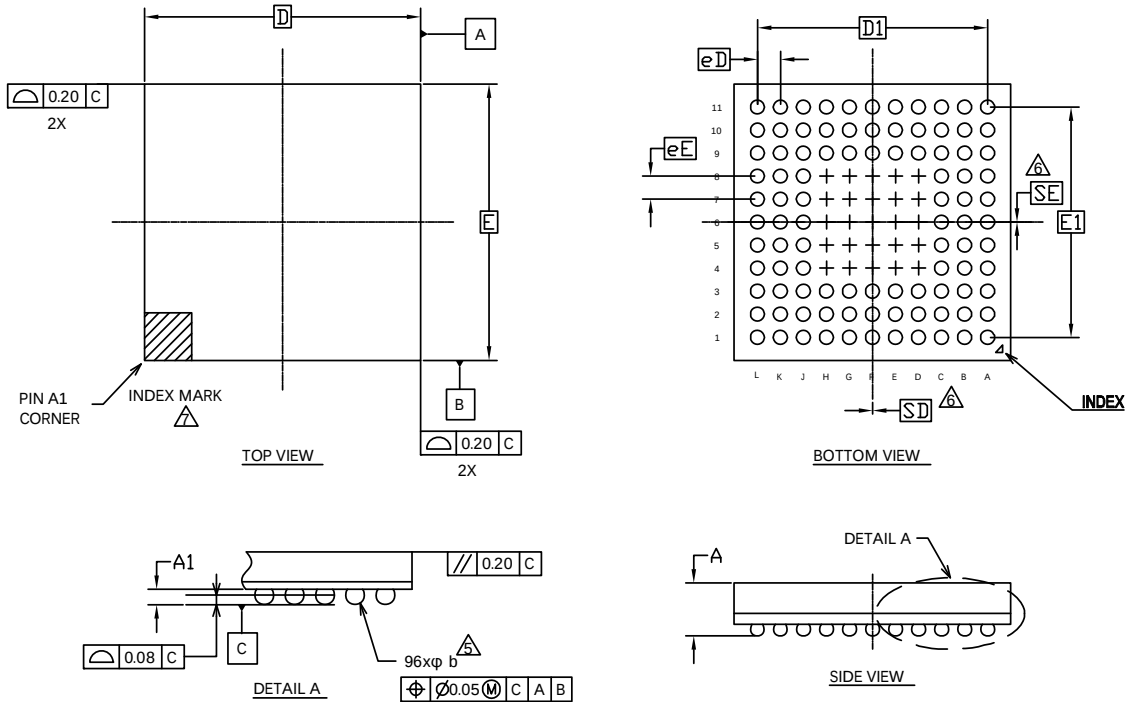
NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

002-13225 **

 PACKAGE OUTLINE, 112 BALL FBGA
 10.00X10.00X1.45 MM LBC112 REV**

Package Type	Package Code
BGA 96	FDG096



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.30
A1	0.15	0.25	0.35
D	6.00 BSC		
E	6.00 BSC		
D1	5.00 BSC		
E1	5.00 BSC		
MD	11		
ME	11		
N	96		
Ø b	0.20	0.30	0.40
eD	0.50 BSC		
eE	0.50 BSC		
SD	0.00		
SE	0.00		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION N PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

002-13224 **

 PACKAGE OUTLINE, 96 BALL FBGA
 6.0X6.0X1.3 MM FDG096 REV**

15. エラッタ

本章は FM3 MB9B150R シリーズのエラッタを説明します。詳細情報は、エラッタのトリガ条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までご連絡ください。

15.1 影響を受ける型格

型格
初版
MB9AF154RPMC-G-JNE2, MB9AF155RPMC-G-JNE2, MB9AF156RPMC-G-JNE2, MB9AF154NPMC-G-JNE2, MB9AF155NPMC-G-JNE2, MB9AF156NPMC-G-JNE2, MB9AF154NBGL-GE1, MB9AF155NBGL-GE1, MB9AF156NBGL-GE1, MB9AF154MPMC-G-JNE2, MB9AF155MPMC-G-JNE2, MB9AF156MPMC-G-JNE2, MB9AF154MBGL-GE1, MB9AF155MBGL-GE1, MB9AF156MBGL-GE1
Rev. A
MB9AF154RAPMC-G-JNE2, MB9AF155RAPMC-G-JNE2, MB9AF156RAPMC-G-JNE2, MB9AF154NAPMC-G-JNE2, MB9AF155NAPMC-G-JNE2, MB9AF156NAPMC-G-JNE2, MB9AF154NABGL-GE1, MB9AF155NABGL-GE1, MB9AF156NABGL-GE1, MB9AF154MAPMC-G-JNE2, MB9AF155MAPMC-G-JNE2, MB9AF156MAPMC-G-JNE2, MB9AF154MABGL-GE1, MB9AF155MABGL-GE1, MB9AF156MABGL-GE1

15.2 認定の状況

出荷の状況：出荷中

15.3 エラッタのまとめ

下表では、デバイスへのエラッタの影響を定義します。

項目	型格	シリコン版数	解決状況
[1] HDMI-CEC アビトラクションロスト問題	15.1 を参照	初版	Rev. A で修正
[2] HDMI-CEC ポーリングメッセージ問題	15.1 を参照	初版および Rev. A	Rev. B で修正

1. HDMI-CEC アビトラクションロスト問題

■問題の定義

CEC バスに大きな負荷容量がある場合、アビトラクションロストが起こる場合があります。

■影響を受けるパラメータ

無

■トリガ条件

アビトラクションロストを検出する回路は、出力信号をサンプルしてサンプルした信号と実際に出力している信号に不一致がある場合、アビトラクションロストが発生したと判断します。CEC の信号線に大きな負荷容量が付いた場合、信号のなまりが発生してサンプルした信号と実際に出力された信号に不一致が起こり、誤ってアビトラクションロストを検出する場合があります。

■影響の範囲

誤ってアービトレーションロストを検出すると、信号の送信を中断してしまうので送信が完了しません。

■回避方法

この不具合はソフトウェアで回避できません。CEC の信号線の負荷容量の低減をご検討下さい。

■解決状況

この問題はシリコン版数 Rev. A で解決されます。

2. HDMI-CEC ポーリングメッセージ問題**■問題の定義**

問題#1) ポーリングメッセージを送信している最中は、常に他のノードから来るメッセージに対して NACK 応答する

問題#2) 他のノードが最後の信号をイニシエートした場合でも、常に 7 ビット時間を待ってから信号出力する

■影響を受けるパラメータ

無

■トリガー条件

この不具合は常に発生します。

■影響の範囲

他のノードに対して正しく応答しません。

■回避方法

次のソフトウェアの方法で問題#1 は回避されます。

1. SFREE レジスタに 0x0 を書く
2. GPIO を使い CEC の信号線を監視して信号がフリーになるまで待つ
3. フレームデータを TXDATA レジスタに書き込み、RCADR1 レジスタまたは RCADR2 レジスタに 0x0F を書き込む

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以後にメッセージが送信されます。

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以内に他のノードからフレームを受信した場合には、バスエラーが発生します。また、TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以後に他のノードからフレームを受信した場合には、アービトレーションエラーロストが発生します。アービトレーションエラーロストが発生した場合：

4-A-1. RCADR1 レジスタまたは RCADR2 に元の値を書いて ACK 応答する

4-A-2. ステップ 2 に戻る

TXDATA レジスタへの書き込みから 32.768kHz で 2~3 クロック以内に他のノードからフレームを受信した場合には、次の手順を踏みます。

4-B-1. GPIO を用いて、TXDATA レジスタへの書き込みから 50us の時間、信号線を監視する

4-B-2. CEC の信号線に 0 を検出したらすぐに TXEN ビットに 1→0→1 と書き込む

4-B-3. RCADR1 レジスタまたは RCADR2 レジスタの値を元の値に戻し ACK 応答する

4-B-4. ステップ 2 に戻る

問題#2 についてはソフトウェアの回避策がありません。しかし、HDMI-CEC の仕様では、信号線が 5 ビット時間以上フリーになることと書かれていますので、バスが 7 ビット時間フリーになることは HDMI-CEC の仕様に違反することではありません。

■解決状況

■この問題はシリコン版数 Rev. B で解決されます。

16. 主な変更内容

Spanion Publication Number: DS706-00047

ページ	場所	変更箇所
Revision 0.1		
-	-	Initial release
Revision 1.0		
-	-	PRELIMINARY→正式版
2	■特長 ・オンチップメモリ	[フラッシュメモリ]の記述を訂正
8	■品種構成 ・ファンクション	「ベースタイマ」のチャネル数を訂正
64	■デバイス使用上の注意	・「水晶発振回路について」に説明文を追加 ・「サブクロック用水晶振動子について」を追加
67	■ブロックダイアグラム	図を訂正 ・TIOA: 入力 → 入力/出力 ・TIOB: 出力 → 入力
68	■メモリマップ ・メモリマップ(1)	「SRAM0」のアドレスを訂正
69	・メモリマップ(2)	注釈文を追加
73	■各 CPU ステートにおける端子状態 ・端子状態一覧	・「端子状態形式 H」のディープスタンバイモード 復帰直後状態を訂正 ・「端子状態形式 I」のグループ機能名を訂正
79, 80	■電気的特性 3.直流規格 (1)電流規格	・規格値の"TBD"を変更 ・「電源電流(I _{CCH} , I _{CC} T, I _{CCR})」の標準値を変更 ・「フラッシュメモリ書込み/消去電流(I _{CC} FLASH)」 を追加 ・注釈文を追加
83	4.交流規格 (2) サブクロック入力規格 (3) 内蔵 CR 発振規格 ・内蔵高速 CR	・「入力周波数(F _{CL})」の備考に注釈を追加 ・注釈文を追加 ・条件を変更 ・規格値を訂正 ・「周波数安定時間」の項目を追加 ・注釈文を追加
87, 88	(7)外バスタイミング ・セパレートバスアクセス 非同期 SRAM モード	・「MWEX↓→データ出力時間」を削除 ・「MCSX↓→データ出力時間」を追加 ・図を訂正
89	・セパレートバスアクセス 同期 SRAM モード	・「MCLK↑→データ出力時間」を訂正 ・「MCLK↑→データホールド時間」を追加 ・図を訂正
97, 99, 101, 103	(9)CSIO タイミング	セクションタイトルを訂正 UART タイミング → CSIO タイミング 「(注意事項)」を訂正 UART が接続 → マルチファンクションシリアルが接続
108	(12) I ² C タイミング	注釈文を追加
111	5. 12 ビット A/D コンバータ ・A/D 変換部電気的特性	・項目名を変更 ・記号を変更 ・規格値を訂正
113	・ 12 ビット A/D コンバータの用語の定義	・項目名を変更 ・記号を変更
114	6.低電圧検出特性 (1) 低電圧検出リセット	・表の「条件」と「規格値」を訂正 ・項目を追加 ・注釈文を追加
115	(2) 低電圧検出割込み	項目を追加
Revision 1.1		
-	-	社名変更および記述フォーマットの変換

ページ	場所	変更箇所
Revision 2.0		
-	-	シリーズ名を訂正 MB9A150R シリーズ → MB9A150RA シリーズ
-	-	製品型格を下記のように訂正 MB9AF156MA, MB9AF155MA, MB9AF154MA MB9AF156NA, MB9AF155NA, MB9AF154NA MB9AF156RA, MB9AF155RA, MB9AF154RA
2	■特長 ・外部バスインタフェース	下記を追加 ・最大アクセスサイズ：256M バイト
3	■特長 ・マルチファンクションシリアルインタフェース	I ² C の記述を訂正
4	■特長 ・多機能タイマ	A/D 起動コンペアのチャネル数を訂正
7	■品種構成 ・ファンクション	注釈文を追加
10	■パッケージと品種対応	対応パッケージから下記を削除 ・FPT-100P-M36 ・FPT-80P-M40
-	■端子配列図 ●FPT-100P-M36	項目を削除
13	●FPT-80P-M37	セクションタイトルを訂正 ●FPT-80P-M37/M40 → ●FPT-80P-M37
16 - 31	■端子機能一覧 ・端子番号別	端子番号「QFP-100」の列を削除
32 - 54	・端子機能別	端子番号「QFP-100」の列を削除
67	■メモリマップ ・メモリマップ(1)	「External Device Area」のアドレスを訂正
77	■電気的特性 2.推奨動作条件	注釈文を追加
78, 79	3.直流規格 (1)電流規格	・条件を訂正 ・規格値の最小値を削除 ・備考を訂正 ・注釈文を追加
103	(9)CSIO タイミング ・同期シリアル(SPI=1, SCINV=1)	「MS ビット=1」の図を訂正
103	(9)CSIO タイミング ・外部クロック(EXT=1)：非同期時のみ	図を訂正
104	(10)外部入力タイミング	下記の端子を追加 ・FRCKx ・ICxx ・DTTlxX
107	(12)I ² C タイミング	下記のように記述を訂正 ・標準モード → Standard-mode ・高速モード → Fast-mode
110	5.12 ビット A/D コンバータ ・A/D 変換部電気特性	・端子名を訂正 AN00 ~ AN23 → ANxx ・サンプリング時間の最小値を訂正 ・動作許可状態遷移時間の最小値、最大値を訂正 ・注釈文を訂正、削除
116	■オーダ型格	オーダ型格を訂正

ページ	場所	変更箇所
Revision 3.0		
-	-	シリーズ名を訂正 MB9A150RA シリーズ → MB9A150RB シリーズ
-	-	製品型格を下記のように訂正 MB9AF156MB, MB9AF155MB, MB9AF154MB MB9AF156NB, MB9AF155NB, MB9AF154NB MB9AF156RB, MB9AF155RB, MB9AF154RB
68	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略を追記
79	■電気的特性 3. 直流規格 (1) 電流規格	・表の形式を変更 ・メインタイマモード電流を追加 ・A/D コンバータ電流を移動
84	■電気的特性 4. 交流規格 (4-1) メイン PLL の使用条件 (4-2) メイン PLL の使用条件	・メイン PLL 接続図を追加
85	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング	・パワーオンリセット解除までの時間を追加 ・タイミング図を変更
97-104	■電気的特性 4. 交流規格 (7) CSIO/UART タイミング	・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更
111	■電気的特性 5. 12 ビット A/D コンバータ	・積分/微分直線性誤差、ゼロ/フルスケールトランジション 電圧の標準値を追加 ・AVcc<2.7V 時の変換時間を追加
117-120	■電気的特性 8. スタンバイ復帰時間	スタンバイ復帰時間を追加
121	■オーダ型格	型格の表記を変更
122-126	■パッケージ・外形寸法図	FPT-100P-M36 と FPT-80P-M40 を削除

注意事項：以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: **MB9A150RB シリーズ 32 ビット ARM® Cortex®-M3 FM3 マイクロコントローラ**

文書番号: 002-05647

版	ECN 番号	変更者	発行日	変更内容
**	--	TOYO	04/23/2015	サイプレスとしてドキュメントコード 002-05647 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5453779	TOYO	09/29/2016	これは英語版の 002-05646 Rev. *A を翻訳した日本語版です。
*B	5532505	YSKA	02/09/2017	これは英語版の 002-05646 Rev.*B を翻訳した日本語版です。 パッケージコードを以下の様に変更 FPT-80P-M37 -> LQH080, BGA-96P-M07 -> FDG096, FPT-100P-M23 -> LQI100, BGA-112P-M04 -> LBC112, FPT-120P-M37 -> LQM120 <関連ページ> “2. パッケージと品種対応” (8 ページ), “3. 端子配列図” (9~13 ページ), “13 オーダ 型格” (119 ページ), “14 パッケージ・外形寸法図” (120~124 ページ) 特長” のリアルタイムクロック (RTC:Real Time Clock) のカウント年数を 00~に修正。 割込み機能の指定条件から「秒/曜日」を削除 (2 ページ) “4.端子機能説明”の表記を修正 J-TAG -> JTAG (33 ページ)、注意事項を追記(52 ページ) 12.4.7 パワーオンリセットタイミングを変更(84 ページ) エラッタを追加(125 ページ) “12.4.10 CSIO/UART タイミング”の項目にボーレートを追加(95, 97, 99, 101 ページ)
*C	5777600	YSAT	06/19/2017	これは英語版の 002-05646 Rev.*C を翻訳した日本語版です。 Cypress の新ロゴを適用。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers cypress.com/arm

車載用 cypress.com/automotive

クロック&バッファ cypress.com/clocks

インターフェース cypress.com/interface

IoT (モノのインターネット) cypress.com/iot

メモリ cypress.com/memory

マイクロコントローラ cypress.com/mcu

PSoC cypress.com/psoc

電源用 IC cypress.com/pmic

タッチ センシング cypress.com/touch

USB コントローラー cypress.com/usb

ワイヤレス/RF cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っており、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。